

Altamiranda, Fabricio Nahuel

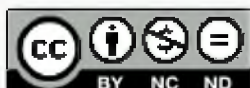
Ferrer Daub, Facundo Javier

Inyección de fallas transitorias inducidas por radiación en estructuras analógicas CMOS

**Tesis para la obtención del título de grado de
Ingeniero Eléctrico Electrónico**

Director: Romero, Eduardo Abel

Documento disponible para su consulta y descarga en **Biblioteca Digital - Producción Académica**, repositorio institucional de la **Universidad Católica de Córdoba**, gestionado por el **Sistema de Bibliotecas de la UCC**.



Esta obra está bajo licencia 2.5 de Creative Commons Argentina.

Atribución-No comercial-Sin obras derivadas 2.5

PROVINCIA DE CÓRDOBA
UNIVERSIDAD CATÓLICA DE CÓRDOBA
FACULTAD DE INGENIERÍA



***Inyección de fallas transitorias inducidas por radiación
en estructuras analógicas CMOS***

ALTAMIRANDA, Fabricio Nahuel

FERRER, Facundo Javier

CÓRDOBA

2010

Agradecimientos

Gracias...

A nuestros **padres y familiares**, que nos brindaron su amor, apoyo y dedicación incondicional durante toda la vida, permitiéndonos llegar a donde estamos ahora y, principalmente, de ser lo que somos como personas. De ellos es este triunfo y para ellos es todo nuestro agradecimiento.

A nuestros **amigos y seres queridos**, por el apoyo y cariño brindado, que supieron saber cuándo levantarnos los ánimos y cuando dejarnos tranquilos.

Y un agradecimiento especial a nuestro director de tesis, **Dr. Eduardo Romero**, y a nuestra asesora, **Dra. Gabriela Peretti**, por la asesoría siempre dispuesta durante el desarrollo del proyecto, aún en la distancia.

Facundo Javier Ferrer

Fabrizio Nahuel Altamiranda

Contenido

INTRODUCCIÓN	4
CAPÍTULO 1: Evento transitorio único en estructuras analógicas.....	6
1.1) CONCEPTO	6
1.1.1) Definición	6
1.1.2) Causas	7
1.2) EFECTOS Y CLASIFICACIÓN	8
1.2.1) Efectos en semiconductores	8
1.2.2) Ionización directa e indirecta.....	9
1.2.3) Duración del evento.....	11
1.3) MODELADO DE LA FALLA	13
1.3.1) Modelo típico	13
1.3.2) Modelo a utilizar	13
CAPÍTULO 2: Conversor	17
2.1) DISEÑO	20
2.1.1) Comparador	20
2.2.2) Decodificador	21
2.2) CARACTERIZACIÓN	23
2.2.1) Señal de entrada	23
2.2.2) Tiempos de conversión	23
2.2.3) Formato de salida.....	27
2.2.4) Precisión.....	28
CAPÍTULO 3: Campaña de inyección manual	31
3.1) INYECCIÓN.....	31
3.1.1) Inyección de fallas exponenciales.....	33
3.1.2) Inyección de fallas trapezoidales	37
3.2) ANÁLISIS	40
<i>Metodología de análisis</i>	40
3.2.1) Sistematización de resultados – Falla exponencial.....	42
3.2.1) Sistematización de resultados – Falla trapezoidal	45
CAPÍTULO 4: Campaña de inyección automática.....	49
4.1) Aplicación	49
4.2) Presentación de Resultados.....	53
CONCLUSIONES	65

APÉNDICE A: Elementos de un conversor flash (Teoría).....	68
COMPARADOR	68
Caracterización del comparador	68
INVERSOR	71
Características DC de la compuerta inversora	72
Características de Transición de la compuerta inversora	73
COMPUERTAS.....	74
Características DC de la compuerta NAND	74
Características de cambio de la compuerta NAND	76
CONVERSOR	76
Parámetros característicos del conversor A/D.....	77
APÉNDICE B: Especificaciones de diseño	81
COMPARADOR	81
COMPUERTAS.....	84
DECODIFICADOR.....	87
CONVERSOR FLASH	91
APÉNDICE C: Aplicación.....	95
Desarrollo en Linux.....	95
Desarrollo en Microsoft® Windows	96
Lenguaje de programación.....	96
Interfaz gráfica	97
Ambiente de simulación.....	98
Análisis de resultados.....	99
Almacenamiento y versionamiento	99
APÉNDICE D: Simulaciones extras	101
GRÁFICA DE Simulación.....	101
Campaña Manual	101
GRÁFICOS DE DISPERSIÓN.....	123
Campaña Automática.....	123
Bibliografía	127

INTRODUCCIÓN

INTRODUCCIÓN

La ininterrumpida y progresiva evolución de circuitos integrados ha llevado a la dramática reducción en los tamaños de los dispositivos micro-electrónicos, haciéndolos cada vez más potentes y eficientes. Sin embargo, esta evolución también ocasiona que estos sean cada vez más susceptibles a efectos de ionización por radiación, tendiendo a un límite en el cual la vulnerabilidad a errores causados por agentes externos es mayor, reduciendo considerablemente la confiabilidad de los circuitos.

La radiación ionizante produce diferentes efectos sobre los dispositivos electrónicos. En circuitos digitales como una celda de memoria, esta falla puede observarse como una variación de un nivel lógico almacenado, mientras que en circuitos analógicos, se manifiesta como una variación transitoria de un determinado nivel. Dependiendo de su energía, estos efectos pueden producir hasta la destrucción del elemento semiconductor en el que impactan. En el primer capítulo se describirá el fenómeno de manera más detallada.

Cuando estos componentes son elementos críticos de los sistemas, como en los equipamientos médicos o espaciales, el problema es aun mayor y la confiabilidad se vuelve un factor sumamente importante. Muchos de los dispositivos utilizados en estas áreas combinan sistemas analógicos, digitales o mixtos.

Debido a la gran cantidad de bibliografía enfocada en el estudio de las estructuras digitales, en este trabajo se optó por el análisis de los efectos transitorios en estructuras analógicas (Analog Single-Event Transient - ASET).

Particularmente, se escogió un conversor analógico-digital (AD) del tipo flash, ya que suelen ser elementos críticos de los sistemas mencionados. Otro factor determinante, fue la estructura del conversor dividido en una etapa analógica y otra digital claramente diferenciadas, permitiendo la inyección de fallas en la etapa analógica únicamente. A lo largo del segundo capítulo se explicará el sistema diseñado y sus especificaciones.

El conversor flash utilizado se diseñó con una palabra digital de salida de 6 bits, ya que para este nivel de complejidad se generan más de diez mil puntos de inyección posibles. Con esta cantidad de puntos fue necesario diseñar un sistema automatizado de inyección y simulación paralela que permitiera acortar los tiempos del proceso. En los capítulos tres y cuatro, se hace referencia al sistema de inyección y análisis utilizado. Se hará especial énfasis en la presentación de los resultados de la campaña de inyección, y se determinarán los nodos sensibles del diseño.

CAPÍTULO 1

Evento transitorio único en estructuras analógicas

CAPÍTULO 1: Evento transitorio único en estructuras analógicas

Las alteraciones por eventos únicos fueron descubiertas en el espacio en 1975, pero el potencial de los rayos cósmicos en producir alteraciones a nivel del mar recibió poca atención. Años más tarde, el trabajo de J. Ziegler, motivado por la labor de T. May y M. Woods, planteó una nueva preocupación para los fabricantes de memorias de computadoras. Pero no fue hasta 1992 que estos efectos comenzaron a cobrar mayor importancia debido a sus consecuencias en la aviación demostradas en (1)(2).

En este capítulo se brinda un marco de referencia sobre los efectos producidos por eventos únicos. Comenzando por una definición formal, se continuará con las principales causas que lo producen para posteriormente pasar a una clasificación de los efectos. Por último, se realizará una breve mención de los modelos empíricos más frecuentes, y los utilizados en este trabajo.

1.1) CONCEPTO

1.1.1) Definición

Debido a la multiplicidad de definiciones, antes de comenzar con el análisis de los eventos transitorios, se presentará la definición adoptada en el trabajo. La siguiente, es tomada de la especificación JESD 89A publicada por Consejo de Ingeniería Electrónica Común (JEDEC por sus siglas en inglés):

“Un Efecto de Evento Único (SEE) es cualquier cambio medible u observable, en el estado o rendimiento, de un dispositivo, componente, subsistema o sistema (analógico o digital) micro-electrónico, resultado del impacto de una única partícula de alta energía.

Los SEE incluyen, alteraciones de evento único (SEU), alteraciones de múltiples bits (MBU), alteraciones de múltiples celdas (MCU), interrupciones funcionales de evento único (SEFI), enclavamiento de evento único (SEL), errores físicos de evento único (SHE), transitorio de evento único (SET), destrucción de evento único (SEB), y ruptura de compuerta de evento único (SEGR).”(3).

1.1.2) Causas

La radiación es la principal fuente de partículas de alta energía que tiene por consecuencia los SEEs. El sol es, por defecto, la fuente de radiación en nuestro sistema solar y se ve afectada por el campo magnético de la tierra. Éste influye en el movimiento de las partículas que intentan ingresar en la órbita terrestre, desviándolas de su trayectoria original.

Pensando a la tierra como un gran imán, se tendería a creer que la forma del campo sería como la de un gran dipolo, pero esto no es así debido a la influencia del viento solar que distorsiona el campo magnético en forma parabólica. Esto crea una cavidad en la que se conforman dos cinturones conocidos como “cinturones de radiación de Van Allen” (figura 1), los cuales se encargan de atrapar las partículas cargadas, como los electrones y protones. Estas partículas están altamente cargadas y presentan energías desde los 10MeV hasta los 100MeV, y se desplazan entre los polos del campo magnético con movimientos helicoidales. Cuando un rayo cósmico impacta con estas partículas de alta energía se produce lo que conocemos como proceso de espalación, liberando gran cantidad de partículas que penetran en la tierra provocando los SEEs.

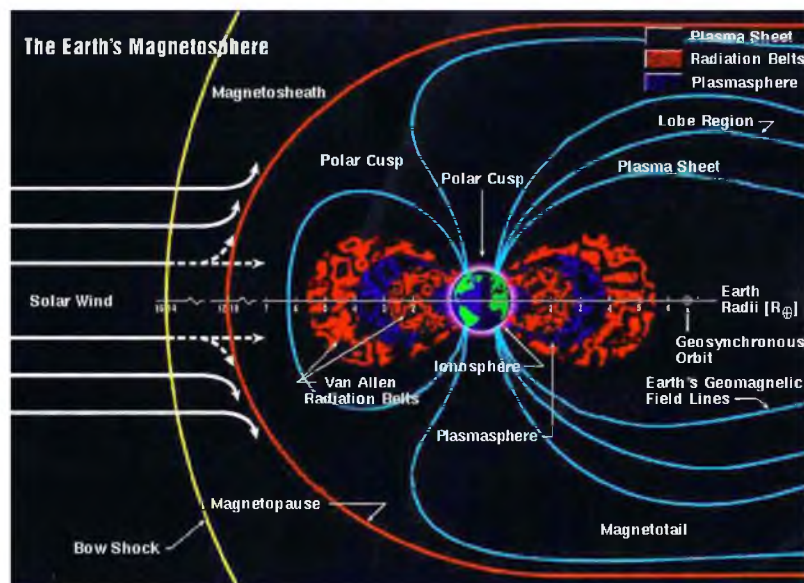


Figura 1) Representación de la magnetosfera Terrestre.

Los primeros SEEs, observados en el trabajo de Ziegler, no tuvieron tanta relevancia ya que para la tecnología de la época, la carga liberada por las partículas incidentes no era comparable con las cargas intervinientes en los circuitos integrados. Mucho más importantes eran los SEEs producidos por los encapsulados de circuitos que contenían entre sus materiales pequeñas cantidades de elementos radioactivos. Estos emitían partículas cargadas que

impactaban en los circuitos de las memorias ocasionando una tasa de errores muy alta (4)(5)(6).

Con el avance de los procesos litográficos y la disminución constante de las dimensiones de los transistores, las tensiones de alimentación han disminuido al igual que las corrientes que circulan en los circuitos. Debido a esto, los impactos de las partículas producen SEEs que tienen desde hace una década efectos importantes en los circuitos integrados, que serán analizados en la siguiente sección.

1.2) EFECTOS Y CLASIFICACIÓN

1.2.1) Efectos en semiconductores

Cuando una partícula choca contra un dispositivo micro-electrónico, la región más vulnerable a los efectos de la radiación es usualmente la juntura p/n en polarización inversa. El poderoso campo presente en la región de depleción de la juntura polarizada en inversa, puede ser muy efectivo recolectando las cargas inducidas por las partículas durante el proceso de frenado de la misma, dando como resultado una corriente transitoria en el contacto de la juntura. En el peor de los casos, la juntura se encuentra en un estado no definido (flotando) y el nivel de la carga almacenada está siendo reducido por alguna carga inyectada a través de la radiación. Como los electrones tienen mayor movilidad en comparación a los huecos, la juntura n^+/p es más sensible a los eventos de radiación. La figura 2 muestra el efecto de un ion chocando la juntura polarizada en inversa n^+/p con un voltaje positivo conectado al nodo n^+ .

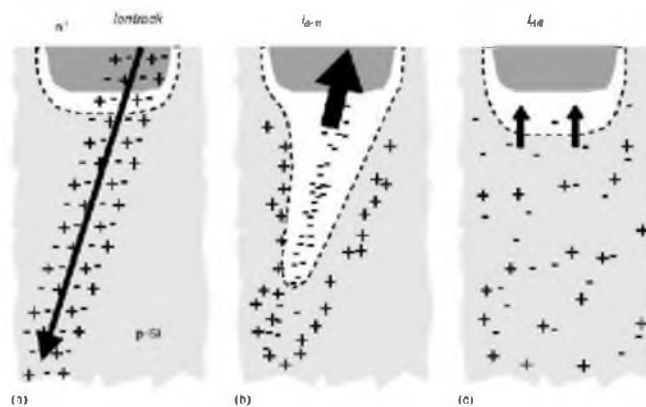


Figura 2) Generación de pares electrón-hueco y recolección durante una perturbación en una juntura.

En la figura 2.a se observa el ion atravesando la juntura, y dejando en su recorrido pares electrón-hueco. Los pares generados en la interacción son rápidamente recolectados por el campo eléctrico y generan un gran transitorio (corriente/voltaje) en el nodo (figura 2.b). Esta fase de recolección usualmente es completada en nanosegundos, seguida de una segunda fase

dada por una difusión que es significativamente más lenta (cientos de nanosegundos) y menos intensa (figura 2.c).

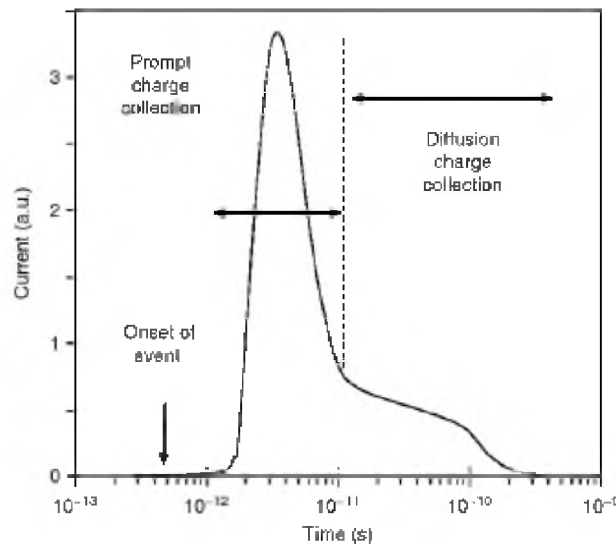


Figura 3) Corriente generada por la interacción de un ion.

La curva de corriente resultante generada por la interacción de un ion puede ser dividida en dos secciones, como lo muestra la figura 3. El pico de la gráfica indica la primera fase de frenado (generación de pares electrón-hueco) y recolección, mientras que el gradiente de la segunda parte resulta de la difusión de recolección de las cargas (7).

1.2.2) Ionización directa e indirecta

La ionización es el método por el cual la radiación libera cargas en un dispositivo semiconductor, ésta puede ser directa o indirecta.

Ionización Directa: Cuando una partícula cargada atraviesa el material semiconductor, libera pares electrón-hueco perdiendo energía a lo largo de su trayectoria. Una vez que toda la energía es liberada, la partícula descansa en el semiconductor luego de haber viajado una longitud determinada conocida como el *rango de la partícula*. El término *transferencia de energía lineal* (*Linear Energy Transfer - LET*) es frecuentemente usado para describir la energía perdida de la partícula por unidad de longitud, mientras recorre el material. Las unidades del LET están dadas por MeV/cm²/mg, ya que la energía perdida por unidad de longitud (en MeV/cm) es normalizada por la densidad del material atravesado (en mg/cm³), por lo tanto, las unidades del LET pueden ser expresadas independientemente del semiconductor. Por ejemplo en el silicio, un LET de 97 MeV-cm²/mg corresponde a depositar una carga de 1pC/um.

La figura 4 muestra una curva de variación LET de un ion de cloro según la profundidad de penetración del mismo en un semiconductor.

La ionización directa es el mecanismo principal de deposición de cargas causadas por iones pesados que generan perturbaciones, donde definimos a los iones pesados como cualquier ion con un número atómico mayor o igual a dos (partículas diferentes a protones, electrones, neutrones o iones).

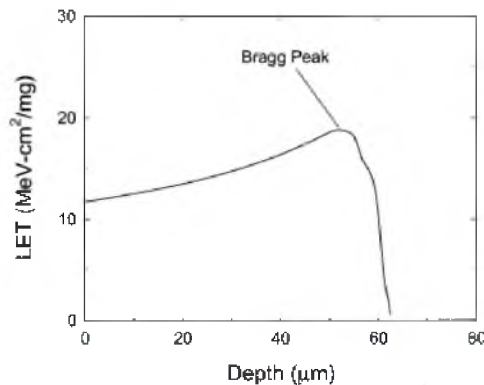


Figura 4) Curva de LET de un ion de cloro de 210MeV viajando a través del silicio.

Ionización Indirecta: Cuando un protón o un neutrón de alta energía entra a una red semiconductor pueden sufrir colisiones inelásticas con un núcleo blando. La ionización directa con partículas ligeras generalmente no genera suficiente energía en su paso como para producir una perturbación, sin embargo protones y neutrones pueden generar niveles significativos de perturbación a través de la mecánica indirecta. Esto puede desencadenar cualquiera de las siguientes reacciones nucleares posibles:

Que la colisión inelástica produzca un retroceso de Si (silicio),

- La emisión de partículas alfa y gamma y el retroceso del núcleo hijo (ejemplo, Si emite partículas alfa y retroceso de un núcleo Mg),
- Reacciones de espalación (spallation reactions), donde el núcleo afectado se divide en dos fragmentos, cada uno de los cuales puede retroceder.

Cualquiera de estas reacciones puede depositar suficiente energía en su trayectoria de ionización directa, siendo partículas más pesadas que los protones y neutrones originales, pudiendo causar perturbaciones en su trayectoria.

El producto de estas colisiones inelásticas típicamente tienen poca energía y no viajan más allá del sitio de impacto de la partícula, tienden a dispersarse hacia adelante en la

dirección de la partícula original. Como consecuencia, la sensibilidad del SEE pasaría a ser función del ángulo de incidencia de la partícula (8).

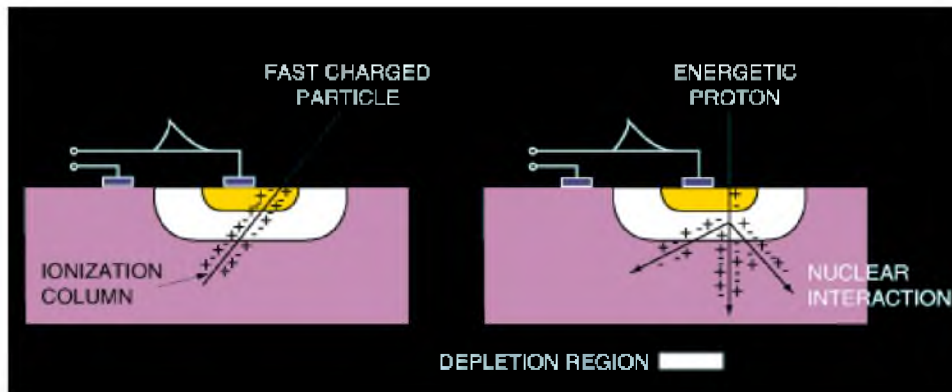


Figura 5) Rayo cósmico depositando energía en un dispositivo micro-electrónico (4).

1.2.3) Duración del evento

Los SEEs pueden ser clasificados en 3 categorías:

- *Single Event Upset* (error temporal de funcionamiento)
- *Single Event Latchup* (error temporal o permanente de funcionamiento)
- *Single Event Burnout* (error a nivel hardware, destrucción)

Single Event Upset

Single Event Upset (SEU) es definido por la NASA como “Errores inducidos por radiación en circuitos micro-electrónicos causados por una partícula cargada (usualmente proveniente del cinturón de radiación o de rayos cósmicos) que pierde energía mientras ioniza el medio que atraviesa, dejando en su recorrido un sendero de pares electrón-hueco” (9).

SEUs son errores transitorios de software y no destructivos para el circuito, tan solo afectan a su funcionamiento temporalmente, por lo cual, un reinicio o una sobre-escritura en el dispositivo es necesaria para llevarlo a su funcionamiento normal.

Los SEUs pueden ocurrir en circuitos analógicos, digitales o en componentes ópticos, también pueden generar un efecto no deseado en las zonas que lo rodean. Típicamente aparecen en el circuito como un pulso transitorio o un cambio de estado lógico de algún bit en celdas de memoria o registros. En algunas ocasiones, un ion puede afectar dos o múltiples bits ocasionando varios cambios, a lo que llamamos *Perturbación de Múltiples Bits* o MBU (Multiple Bit Upset), implicando un gran problema para el sistema de detección y corrección de errores EDAC (Error Detection And Correction).

Un SEU de severa gravedad es un *Evento Único de Interrupción Funcional* (Single Event Functional Interrupt - SEFI) el cual afecta al sistema de control del circuito, pudiendo configurarlo en un modo de testeo, de cambio de estado de trabajo, o simplemente a uno no definido en el sistema. El SEFI saca al dispositivo de su correcto funcionamiento, por lo que requiere de un reinicio (power-reset) para normalizarse.

Single Event Latchup

Single Event Latchup (SEL – Evento Único de Enclavamiento) es una condición que causa pérdida de funcionalidad del dispositivo debido a un SEU, llevándolo a un estado estacionario. Los SELs se clasifican como errores físicos y son potencialmente destructivos, pudiendo causar daños permanentes como consecuencia de un estado de alta corriente de funcionamiento, por arriba de las especificaciones. Esta condición de enclavamiento puede destruir los dispositivos, llevar la tensión del bus a cero, o dañar la fuente de alimentación. Originalmente, el concepto de enclavamiento era causado por un ion pesado, pero en dispositivos muy sensibles, puede ser originado por protones.

Un SEL puede ser eliminado del circuito a través de un encendido-apagado (power off-on) del mismo. Si dicho proceso no es realizado en la brevedad, el calentamiento del dispositivo por condiciones no favorables de funcionamiento podría concluir en una falla permanente. Los SELs son fuertemente dependientes de la temperatura, el umbral para el enclavamiento disminuye con el aumento de la temperatura, así como con el aumento de la sección eficaz (10).

Single Event Burnout

Single Event Burnout (SEB – Evento Destructivo Único) es una condición que puede causar la destrucción del dispositivo por un estado de alta corriente en un transistor de potencia. Un SEB causa que el dispositivo falle permanentemente, incluyendo destrucción de MOSFET de potencia, ruptura de compuertas (Gates), congelamiento de bits o ruido en CCDs (charge-couple devices – dispositivos acopladores de cargas). Pueden desencadenar un cambio del punto de trabajo de un MOSFET de potencia que haya estado en OFF-State (estado inactivo), cuando un ion pesado deposite suficiente carga como para encender dicho dispositivo cuando lo atraviese. Fue demostrado que la susceptibilidad de los dispositivos a los SEB disminuye con el aumento de la temperatura (11).

Un SEB puede producir en un MOSFET de potencia un *Single Event Gate Rupture* (SEGR – Evento Único de Ruptura de Compuerta), que es la formación de un camino conductor (ruptura dieléctrica localizada) en la compuerta, originando la destrucción del dispositivo (12).

1.3) MODELADO DE LA FALLA

1.3.1) Modelo típico

Los SETs son difíciles de simular debido a que dependen, no solo de las características del pulso generado, sino también a la respuesta dinámica del circuito en sí. El transitorio puede ser modelado como una inyección de tipo doble exponencial de corriente, según (13).

$$I(t) = \frac{Q}{\tau_1 - \tau_2} \left(e^{\frac{-t}{\tau_1}} - e^{\frac{-t}{\tau_2}} \right)$$

τ_1 representa la constante de tiempo de recolección de la juntura, y τ_2 la constante de tiempo inicialmente establecida por la dirección del ion. Estas dos constantes dependen de varios factores relacionados con el proceso, y por lo tanto, con la tecnología.

1.3.2) Modelo a utilizar

Como el modelo del transitorio de doble exponencial exige mucho tiempo y procesamiento computacional complejo, se optó por reemplazar dicho modelo por aproximaciones más simples.

Modelo Exponencial

Un modelo de menor complejidad que la doble exponencial es la exponencial simple (figura 6), que representa con gran semejanza el proceso de *recolección de cargas*. El proceso de *difusión de cargas* no se asemeja a la referencia (ver modelo de la doble exponencial en la figura 3), ya que el tiempo y amplitud que se puede generar con la exponencial simple para este proceso imposibilita hacerlo.

La expresión matemática del modelo de la falla exponencial es:

$$I(t) = A \left(1 - e^{\frac{-t}{\tau}} \right)$$

La representación en SPICE del modelo de la falla exponencial es:

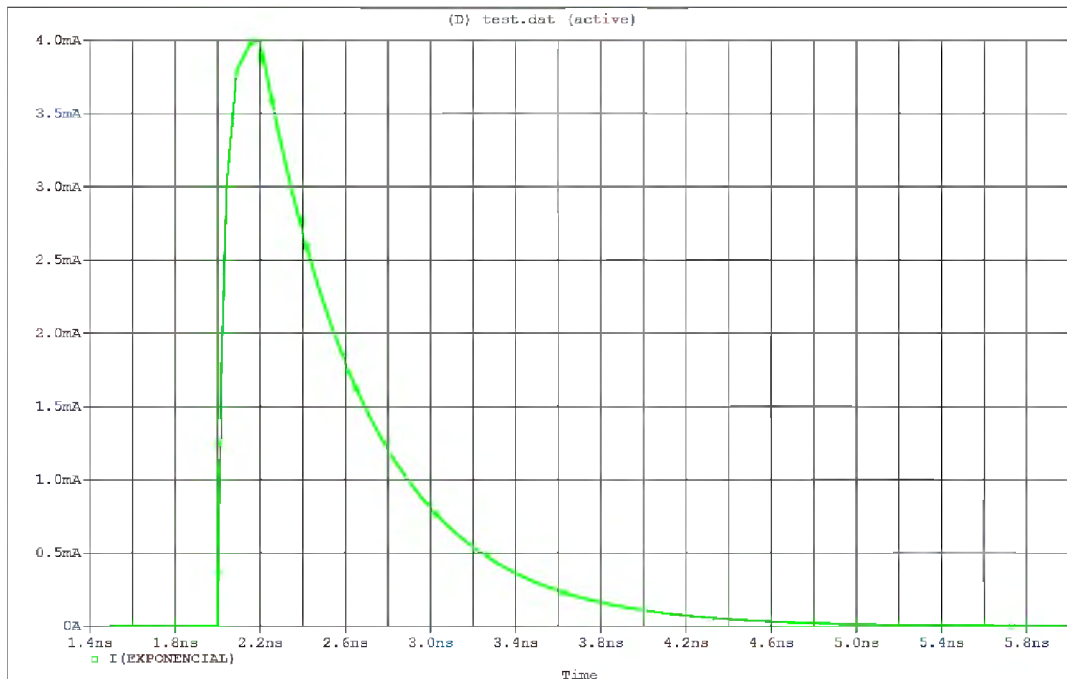


Figura 6) Gráfica del modelo de inyección exponencial.

Modelo Trapezoidal

Otra opción de modelado de la falla es a través de una función trapezoidal (figura 7), con la cual el costo computacional decrece por la simplicidad de la función, en comparación a la exponencial. Con este modelo agrupamos las dos etapas del proceso que se da ante un SEU (proceso de recolección y difusión de cargas) generando una perturbación con intensidad constante por un tiempo determinado. La influencia sobre el circuito es mayor con este modelo, ya que la corriente inyectada mantiene su amplitud máxima por un periodo prolongado, en comparación al modelo típico (doble exponencial).

La representación en SPICE del modelo de la falla trapezoidal es:

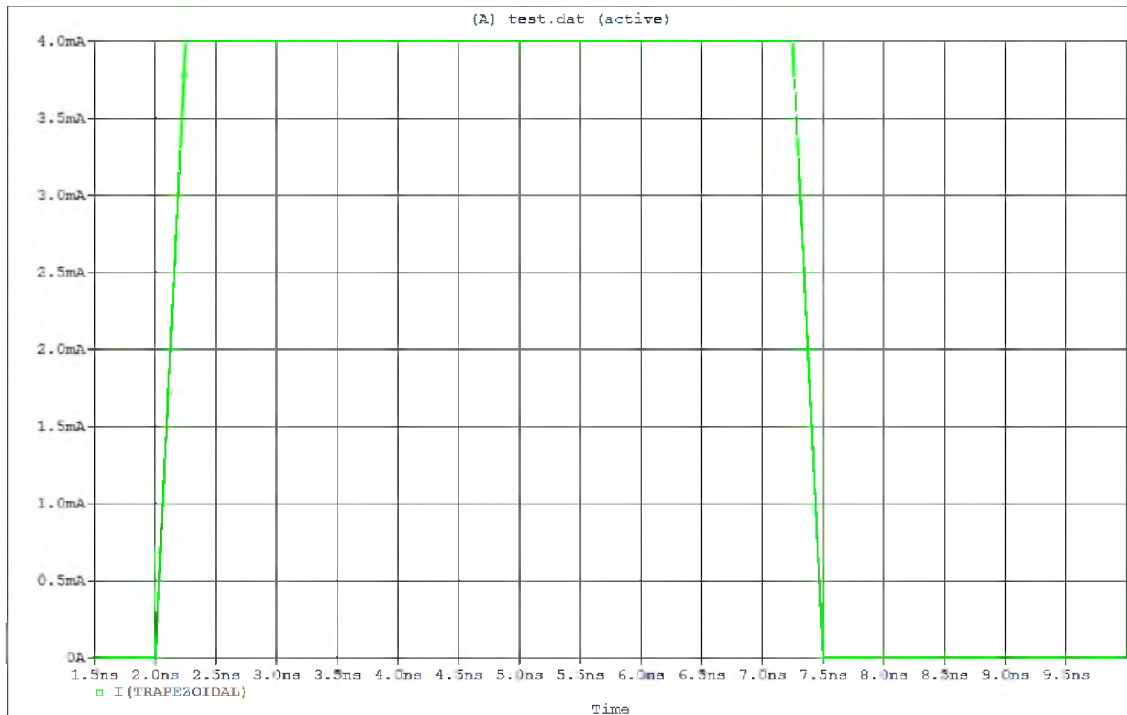


Figura 7) Gráfica del modelo de inyección trapezoidal.

En ambos casos, las características de corriente máxima y tiempos de perturbación fueron elegidas en base a la bibliografía (14) (15) (16). En los procesos de inyección, existe un tiempo de reposo del circuito (sin perturbaciones) durante 2nS, en los cuales el sistema se estabiliza. A diferencia del modelado exponencial, en el modelo de falla tipo trapezoidal esta definido el momento de finalización de la perturbación, permitiendo asegurar que el circuito se encuentra libre de alteraciones externas, y por lo tanto, debería de volver a su estado inicial. Para el modelo exponencial, es difícil definir dicho momento.

CAPÍTULO 2

Conversor

CAPÍTULO 2: Conversor

En este capítulo se describirá el proceso de selección del conversor, la arquitectura elegida, las ventajas y desventajas de la misma, y los requerimientos impuestos. Luego se detallarán los componentes que conforman el conversor, su diseño y verificación, y el comportamiento conjunto.

Caso de estudio adoptado

La arquitectura con la que se optó trabajar es una arquitectura de conversión paralela tipo Flash de 6 bits de resolución, la cual combina tanto secciones analógicas como digitales. La gran ventaja de la estructura adoptada es la velocidad con la cual una conversión se lleva a cabo, donde cada pulso de reloj puede generar una palabra digital de salida. Su contracara es que para cada bit extra de resolución del conversor, se tiene que duplicar la cantidad de comparadores requeridos, aumentando así el área de silicio comprendida por el dispositivo.

Desde el punto de vista de la implementación, los conversores analógicos/digitales típicamente contienen uno o más comparadores, compuertas, componentes pasivos de precisión, referencias de tensión precisas y una lógica de control digital.

El conjunto de comparadores se encarga de transformar la señal analógica recibida en una señal digital de código termómetro. La cadena o divisor resistivo servirá para generar los distintos niveles de tensión analógica de comparación. Las compuertas conforman la lógica digital que transforma el código termómetro a código binario en la etapa de salida del conversor. Un diagrama conceptual puede verse en la figura 8.

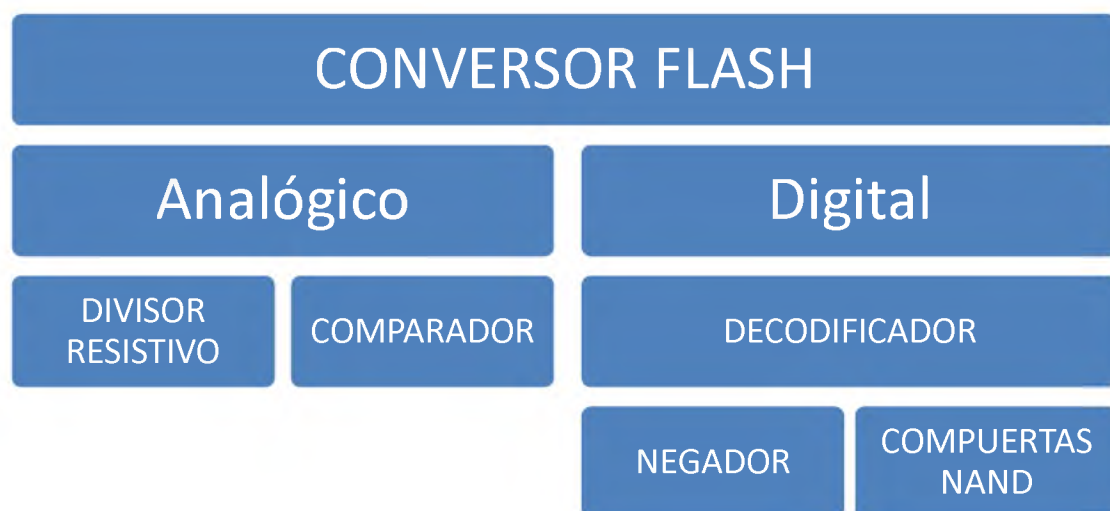


Figura 8) Diagrama en bloques del conversor flash realizado.

Las conexiones y componentes del conversor se pueden apreciar en la figura 9. La señal analógica a convertir es conectada al terminal V_{in} y luego distribuida a las entradas inversoras de cada comparador. Esta señal es comparada con la tensión de referencia (entrada no inversora) correspondiente a cada comparador, y según sea el resultado, se modifica la tensión de salida del mismo para conformar el código termómetro correspondiente a dicha señal. Por último, éste código termómetro generado a partir de la cadena de comparadores, ingresa al decodificador, el cual lo recodifica a un código binario de 6 bits.

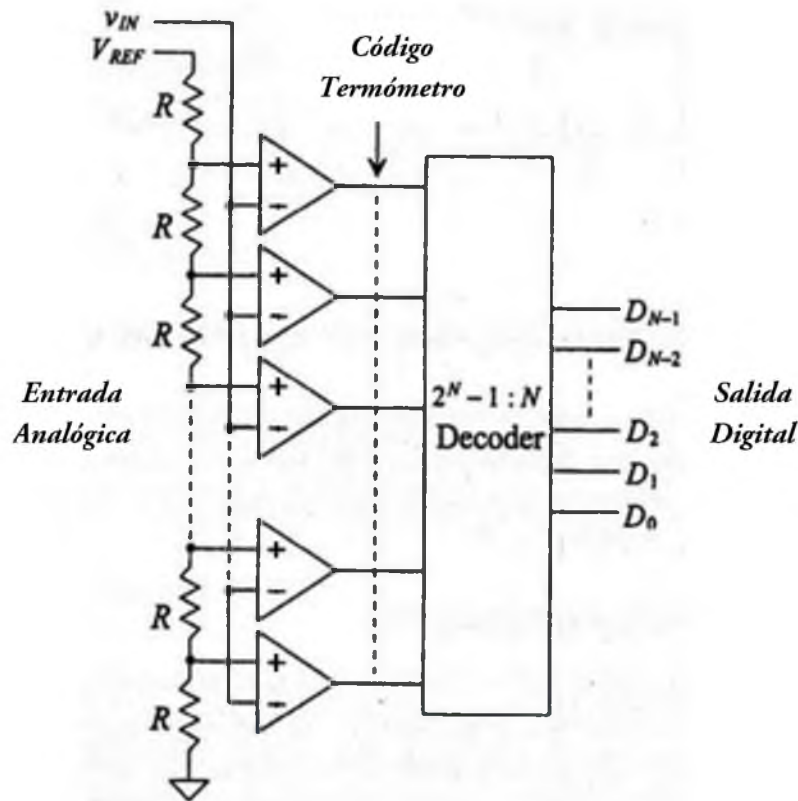


Figura 9) Representación del conversor Flash.

La estructura adoptada se diseñó para operar a una frecuencia de muestreo de 100KHz. Esta elección, y la regularidad de la estructura, permiten extender los resultados del estudio al sector comprendido por redes "Voice Comm" hasta redes "ISDN" e incluso a los dispositivos de "Instrumentación y medición" o "Digital Audio" (ver figura 10), sin perder generalidad y manteniendo los requerimientos computacionales dentro de límites razonables.

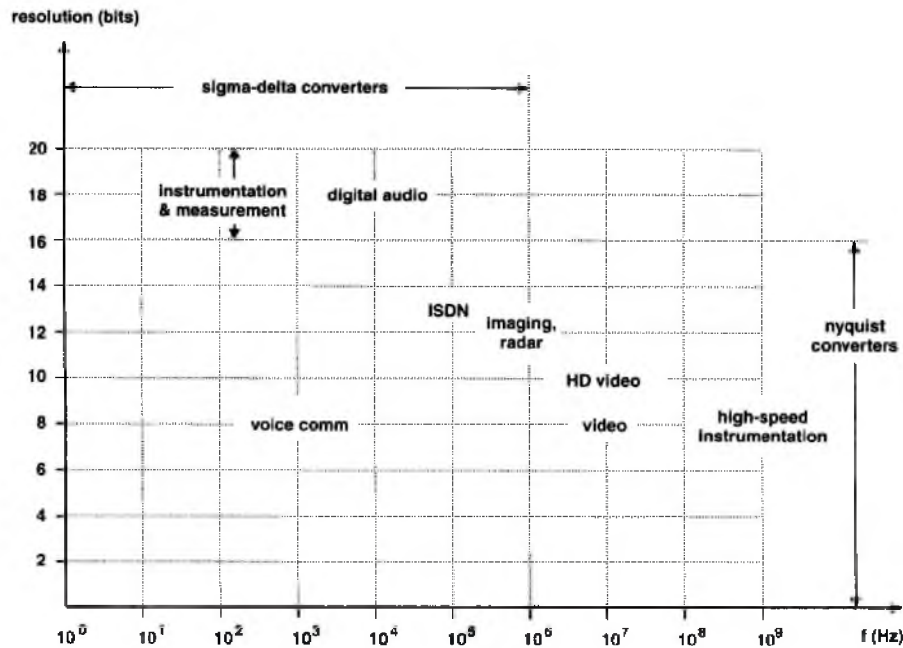


Figura 10) Cuadro comparativo de requerimientos de conversores según su finalidad.

En relación a la tecnología CMOS seleccionada para el diseño, se utilizó una corrida de prueba provista por MOSIS del proceso de 180nm de IBM Semiconductor. Los detalles del proceso son los siguientes:

IBM Semiconductor
0.18 Micron
7RF CMOS Process

MOSIS WAFER ACCEPTANCE TESTS
 RUN: T96T (7RF_5LM_MA)
 VENDOR: IBM-BURLINGTON
 TECHNOLOGY: SCN018
 FEATURE SIZE: 0.18 microns
 Run type: SKD

El proceso de fabricación CMOS cuenta con 6 capas de metal (M1, M2, M3, M4, MT, ML), 1 de DV (wirebound glass cut), y 2 de poli-silicio. Los voltajes de alimentación son 1.8 voltios de núcleo y 3.3 voltios de I/O. Los transistores alimentados a 5 voltios están disponibles para requerimientos especiales, pero se debe de tener en cuenta unas consideraciones extras(17).

Como se apreció en la figura 8, fue necesario diseñar componentes analógicos y digitales que interactúen para conformar el conversor. En ambos se utilizó la tecnología arriba mencionada, con una alimentación general de 3.3 voltios. Como las referencias de tensión requerían de precisión y no era el foco del trabajo, se decidió utilizar fuentes de tensión DC para facilitar el diseño.

2.1) DISEÑO

Para el diseño del conversor, se analizaron individualmente las arquitecturas del comparador y del decodificador. Una arquitectura tipo Miley de dos etapas sin compensación, fue la elección para el comparador(18), y para el decodificador, se eligió lógica CMOS de alta velocidad conformada por compuertas NAND (19).

El proceso de diseño fue iterativo. Se realizaron los cálculos matemáticos para la primera aproximación de los valores de los transistores y se pusieron a prueba; se reajustaron las dimensiones y se obtuvo finalmente el diseño que satisfacía los distintos requisitos del sistema.

2.1.1) Comparador

El diseño total requirió de 63 comparadores para generar los 64 niveles de código termómetro a partir de la comparación de la señal de entrada contra las señales de referencias obtenidas de la cadena de resistencias. El diagrama conceptual se observa en la figura 11

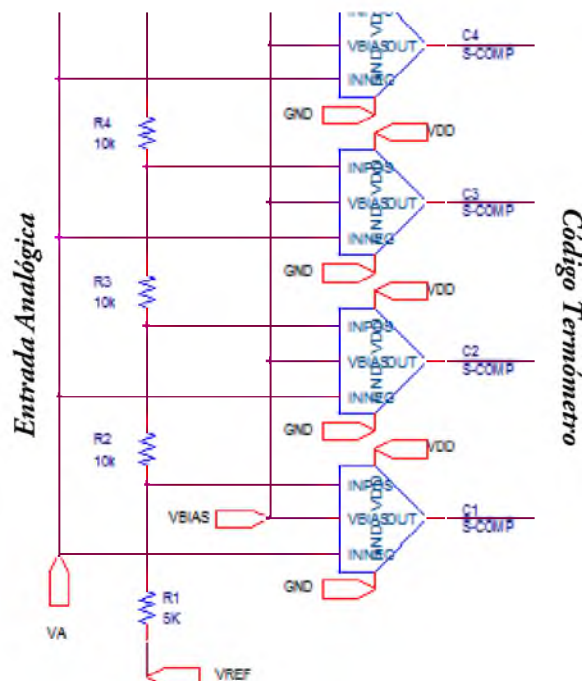


Figura 11) Conexión de los comparadores.

Cada comparador tiene conectado a su entrada inversora la señal de entrada V_{IN} , y a su entrada no inversora, una de las 63 tensiones de referencia que le corresponde según el nivel jerárquico que ocupe en la generación del código termómetro. Cuando el valor de tensión de la señal de entrada V_{IN} es mayor que la señal de referencia conectada al comparador, este da como resultado un valor 0 (cero), y si V_{IN} es menor que la tensión de referencia, la salida del

comparador es 1 (uno). Esto genera un código termómetro de niveles negativos ascendentes, esto quiere decir, que a medida que la señal de entrada va superando los niveles de referencia, los comparadores van reemplazando las salidas en alto (1...111) del código termómetro por salidas en bajo (1...110), como se ve la tabla 1.

0	0	0	0	0	Máximo nivel del código
1	0	0	0	0	$V_{IN} > V_{REF} 62$
.	
1	1	1	0	0	$V_{IN} > V_{REF} 02$
1	1	1	1	0	$V_{IN} > V_{REF} 01$
1	1	1	1	1	Mínimo nivel del código

Tabla 1) Representación del avance del Código Termómetro.

2.2.2) Decodificador

En el extremo digital del convertor se encuentra el decodificador lógico de alta velocidad conformado por compuertas NANDs y NEGADORES, que decodifican la entrada de código termómetro (64 niveles) en una salida binaria de 6 bits. En la figura 12 se observa un diagrama de las entradas y salidas del decodificador.

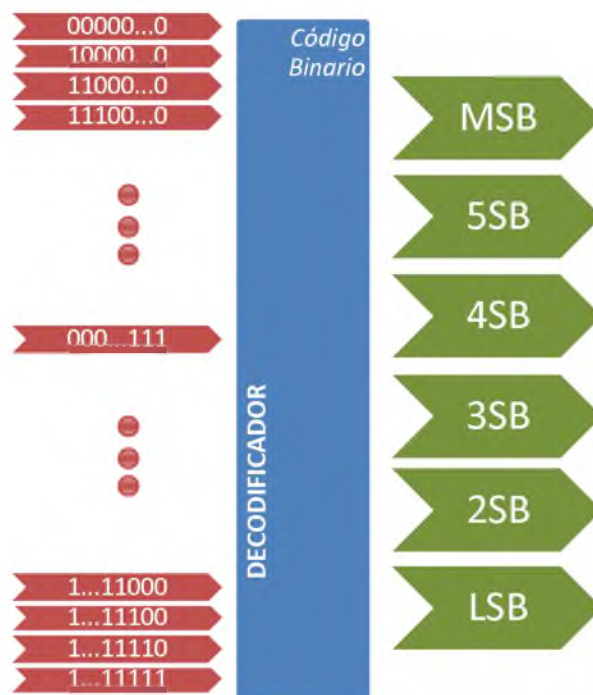


Figura 12) Diagrama en bloques del funcionamiento del decodificador.

Los bits de salida se encuentran identificados según su importancia en la palabra digital, donde LSB significa *Bit Menos Significativo (Less Significant Bit)*, el bit 2SB es el *Segundo*

Bit Significativo (Second Significant Bit), y así sucesivamente hasta el bit MSB o *Bit Más Significativo (More Significant Bit)*.

Para el diseño se analizaron las diferentes condiciones de entrada generadas a partir de los comparadores, se realizó una tabla de verdad [APÉNDICE B] y se le aplicó el método de reducción por Karnaugh. Se obtuvieron las siguientes funciones lógicas que determinan la salida del código binario (la interconexión para el bit 2SB se aprecia en la figura 13):

$$MSB = C32$$

$$5SB = C16 + \overline{C32}C48$$

$$4SB = C8 + \overline{C16}C24 + \overline{C32}C40 + \overline{C48}C56$$

$$3SB = C4 + \overline{C8}C12 + \overline{C16}C20 + \overline{C24}C28 + \overline{C32}C36 + \overline{C40}C44 + \overline{C48}C52 + \overline{C56}C60$$

$$2SB = C2 + \overline{C4}C6 + \overline{C8}C10 + \overline{C12}C14 + \overline{C16}C18 + \overline{C20}C22 + \overline{C24}C26 + \overline{C28}C30 \\ + \overline{C32}C34 + \overline{C36}C38 + \overline{C40}C42 + \overline{C44}C46 + \overline{C48}C50 + \overline{C52}C54 + \overline{C56}C58 \\ + \overline{C60}C62$$

$$LSB = C1 + \overline{C2}C3 + \overline{C4}C5 + \overline{C6}C7 + \overline{C8}C9 + \overline{C10}C11 + \overline{C12}C13 + \overline{C14}C15 + \overline{C16}C17 \\ + \overline{C18}C19 + \overline{C20}C21 + \overline{C22}C23 + \overline{C24}C25 + \overline{C26}C27 + \overline{C28}C29 + \overline{C30}C31 \\ + \overline{C32}C33 + \overline{C34}C35 + \overline{C36}C37 + \overline{C38}C39 + \overline{C40}C41 + \overline{C42}C43 + \overline{C44}C45 \\ + \overline{C46}C47 + \overline{C48}C49 + \overline{C50}C51 + \overline{C52}C53 + \overline{C54}C55 + \overline{C56}C57 + \overline{C58}C59 \\ + \overline{C60}C61 + \overline{C62}C63$$

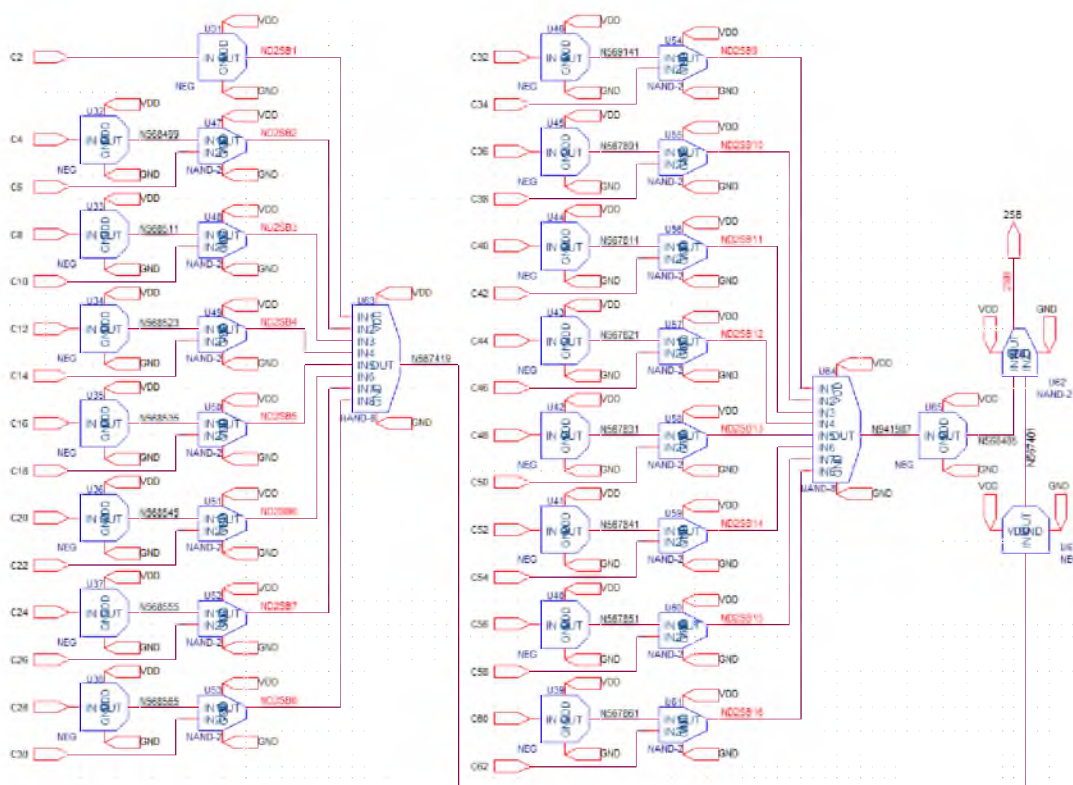


Figura 13) Esquemático de la interconexión de compuertas internas del decodificador para el bit 2SB.

2.2) CARACTERIZACIÓN

A continuación se realizará la caracterización del conversor en base a los siguientes puntos con el fin de asegurar el cumplimiento de las especificaciones señaladas al inicio del capítulo.

- *Señal de entrada.*
- *Tiempos de conversión.*
- *Formato de salida.*
- *Precisión.*

Éstas dependen directamente de los componentes internos del conversor, por lo cual se expondrán también las características de funcionamiento del comparador y decodificador.

2.2.1) Señal de entrada

La señal de entrada puede excursionar de 0 a 2V.

Para el estudio realizado, se estableció una señal de entrada que va de 0 a 640mV.

2.2.2) Tiempos de conversión

Los tiempos de conversión dependen de la suma de los retardos en la lógica interconectada del decodificador y la de los comparadores. Se analizarán los tiempos de transición de los componentes por separado y luego el de conversión total.

Retardo del comparador:

En la figura 14 se observa la conexión que se llevó a cabo para el análisis de los retardos del comparador, y la configuración de la fuente $V_{\text{trapezoidal}}$ para dicho propósito. Con esta disposición se simula un cambio repentino de la señal de entrada y se evalúan los tiempos requeridos para que el comparador realice el cambio de estado a su salida. En esta última se conectó un capacitor de 5pF para simular la carga capacitiva de las compuertas NAND que luego cargarán al comparador. En la figura 15 se grafica la simulación realizada para una entrada $V_A=1.315$ voltios.

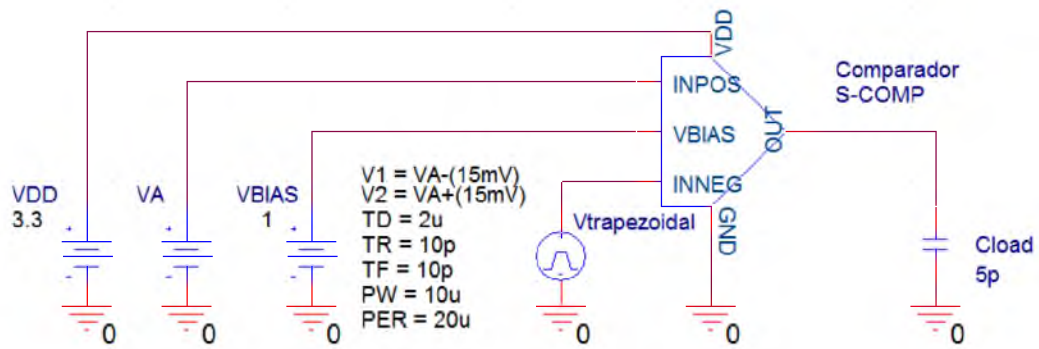


Figura 14) Esquemático de la conexión del comparador, análisis de retardo.

En la ventana inferior de la simulación (figura 15) se encuentra la gráfica del escalón (V_{IN}), el cual posee una amplitud de 15mV y un tiempo de ascenso/descenso de 10ps.

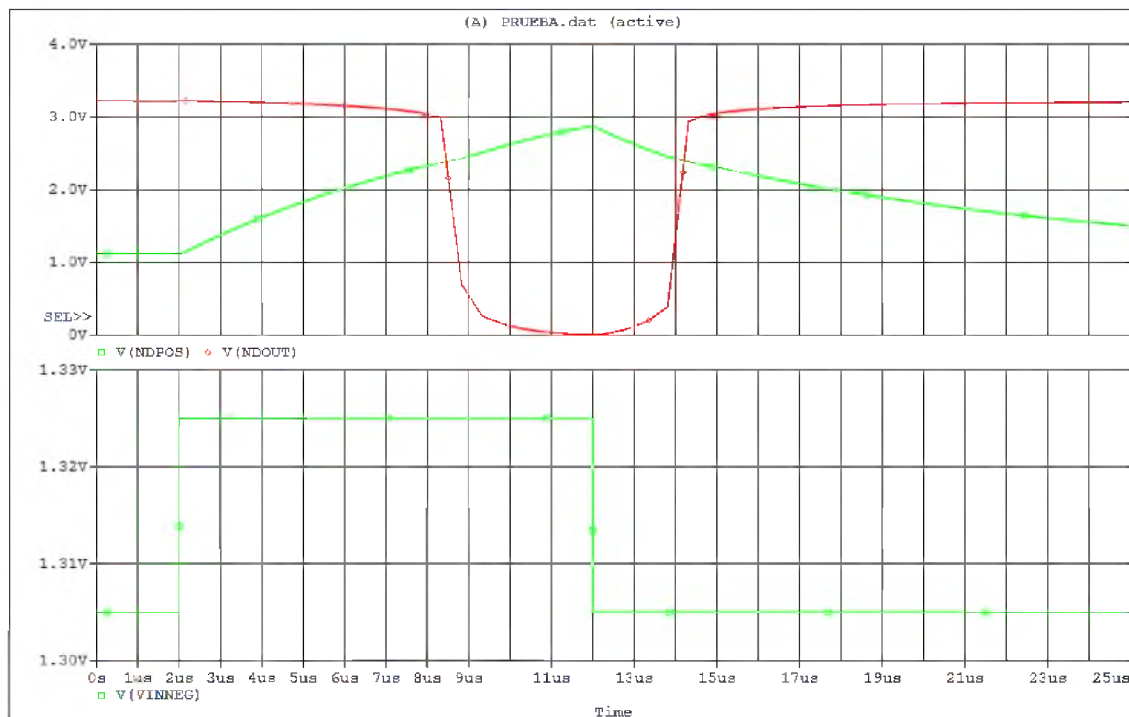


Figura 15) Análisis de retardos del comparador [$V_{CM}=1.315V$].

En la ventana superior están a la vista dos curvas. La curva de color verde es la salida de la primera etapa del comparador (etapa diferencial), y la de color rojo la salida final del comparador. De esta simulación se obtuvo:

- Máximo retardo “Alto – bajo (High to Low - T_{pHL})” del comparador: 7.48uS.
- Máximo retardo “Bajo – alto (Low to High - T_{pLH})” del comparador: 2.5uS.

Retardos de las compuertas:

En la figura 16 se observa la conexión utilizada en la simulación para el análisis del tiempo de retardo de la compuerta NAND8 (compuerta NAND de 8 entradas). El cambio de estado de la entrada se lleva a cabo a los 2nS y afecta a 7 de las 8 entradas de la compuerta, luego vuelve a su estado inicial a los 2.31nS. A la salida de la compuerta se conectó una resistencia de 1 mega ohmio, representando a una entrada CMOS, a la cual se conectaría dicha salida de compuerta.

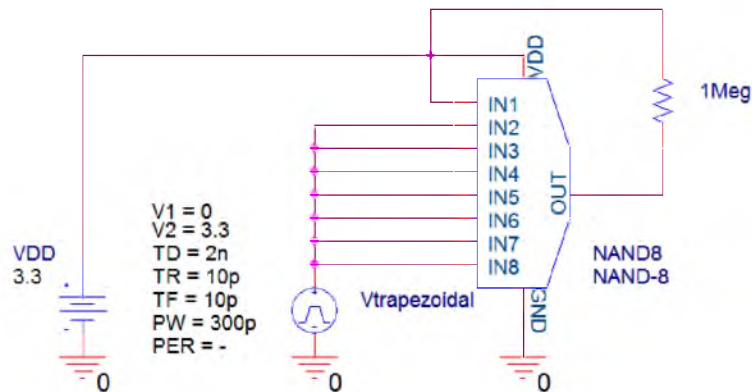


Figura 16) Esquemático de la conexión de la compuerta NAND8, análisis de tiempos de retardo.

Siguiendo la misma configuración realizada para la prueba de la compuerta NAND8, se analizaron las compuertas restantes. La figura 17 ilustra la simulación conjunta realizada para todas las compuertas, donde cada curva representa una compuerta diferente.

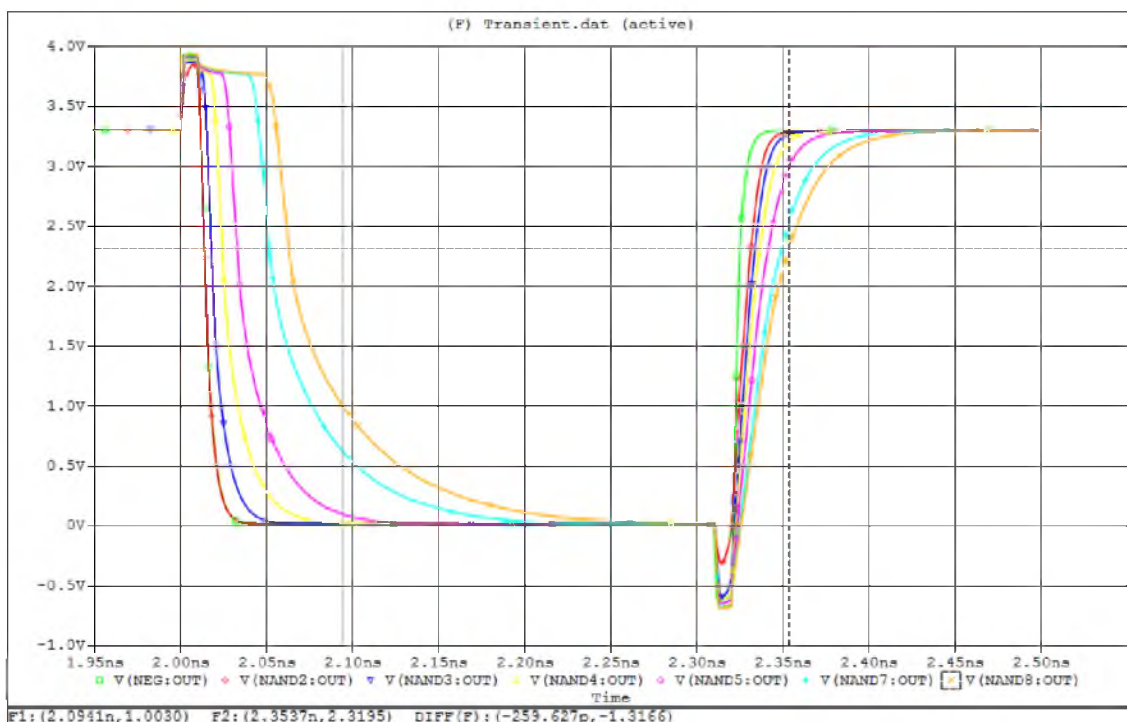


Figura 17) Análisis de retardos de las compuertas.

En la simulación se aprecia el comportamiento de las salidas de las compuertas afectadas, las cuales, poseen retardos menores a los 100pS para ambos cambios.

- Tiempo de retardo “Alto – bajo” (T_{pHL}) < 100pS.
- Tiempo de retardo “Bajo – alto” (T_{pLH}) < 80pS.

Retardos del decodificador:

Para el análisis de tiempos del decodificador, se llevo a cabo la conexión que se observa en la figura 18, en la cual se aprecia que la fuente $V_{\text{trapezoidal}}$ afecta a 31 entradas inferiores del decodificador.

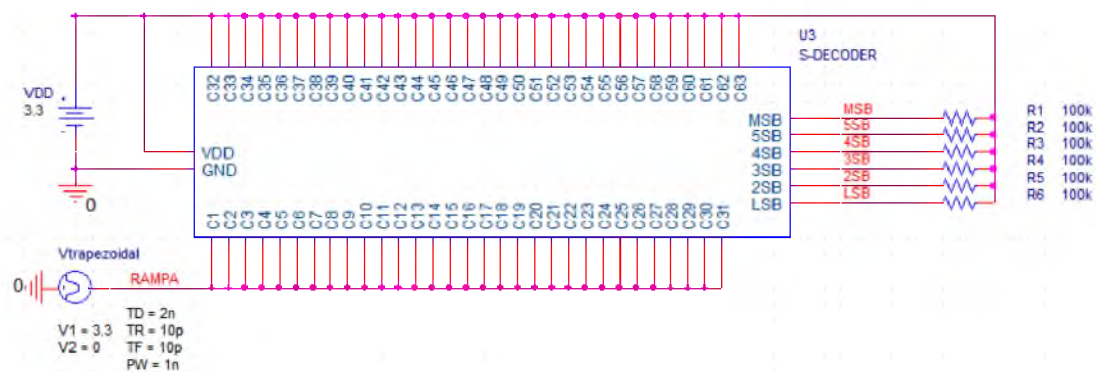


Figura 18) Esquemático de la conexión del decodificador, análisis de tiempos de conversión.

En estado de reposo (al inicio de la simulación y hasta los 2nS) el decodificador tiene en todas sus entradas un valor de tensión positivo, por lo que la decodificación de dicho código termómetro daría como resultado la palabra digital “1 1 1 1 1”, la cual representa al nivel más bajo de decodificación. A los 2nS, la fuente $V_{\text{trapezoidal}}$ genera un cambio en los niveles de tensión de las 31 primeras entradas del decodificador, llevándolas un nivel de tensión bajo. Esto representaría un aumento repentino de la tensión de entrada hasta un nivel por debajo de la mitad del rango de conversión, dando así como salida decodificada a la palabra digital “1 0 0 0 0”. Este cambio se observa en la figura 19, en donde a los 3nS, la fuente trapezoidal vuelve a cambiar su estado y genera que el decodificador recupere su estado de reposo.

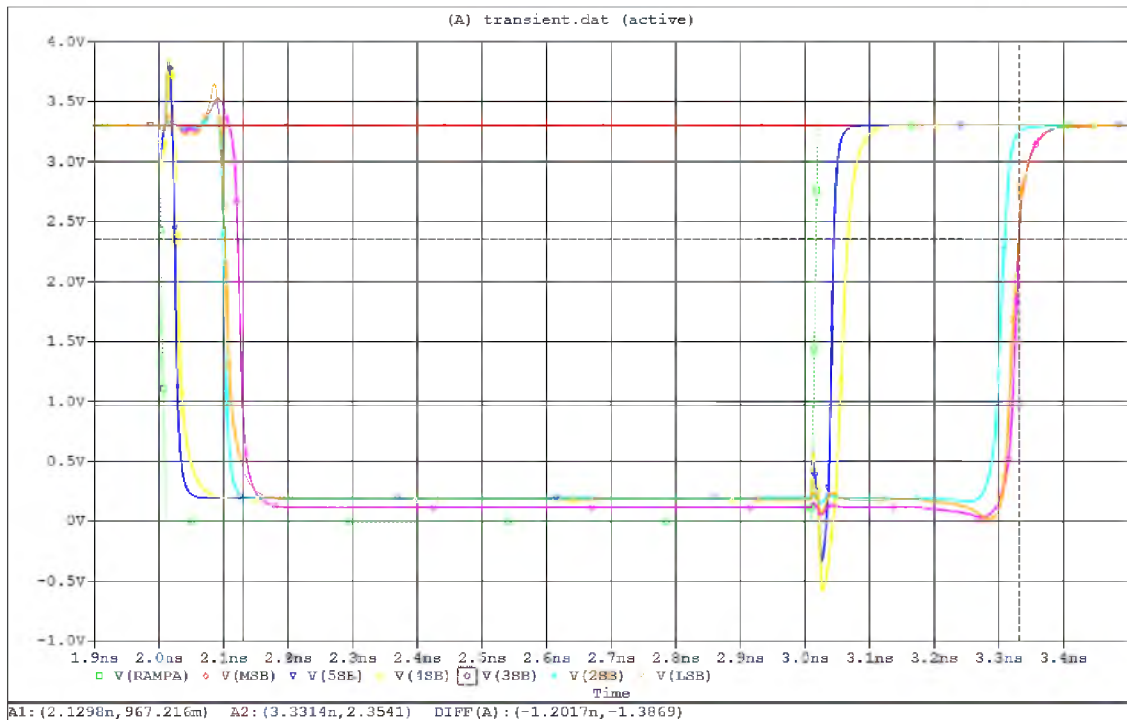


Figura 19) TpHL y TplH para una entrada en trapezoidal en el comparado C32 (mitad de la tabla de conversión).

En la simulación representada en la figura 19, la curva de color verde es la trapezoidal que es conectada a la entrada del decodificador correspondiente al comparador C32, el cual determina el valor medio del código termómetro. Las demás curvas son la salida del decodificador respondiendo al cambio de lógica generado por la fuente trapezoidal.

Como resultado de la simulación se obtuvieron los siguientes tiempos:

- *Tiempos de retardos de L a H < 1nS. (780 pS).*
- *Tiempos de retardos de H a L < 1nS. (250 pS).*

Tiempos de conversión del flash:

Luego de analizados los tiempos de retardo individuales de los componentes que lo conforman, se determina que el factor crítico para el tiempo de respuesta del convertor son los comparadores. Los mismos poseen un retardo de transición máximo del orden de 7uS, muy próximo al límite para el funcionamiento a 100KHz del convertor (10uS). El decodificador agrega a este tiempo una contribución de poca consideración, ya que sus retardos rondan los cientos de pico-segundos (pS).

2.2.3) Formato de salida

El formato de salida del convertor es binario unipolar.

2.2.4) Precisión

La precisión incluye errores provenientes de la parte analógica y digital. El error digital del convertor es de $\pm \frac{1}{2} LSB = 5\text{mV}$. La fuente de error analógico es el comparador. Dicho error varía según el offset y ganancia del mismo, que al estar trabajando para diferentes tensiones de entrada, varía entre los niveles inferiores y superiores del código termómetro.

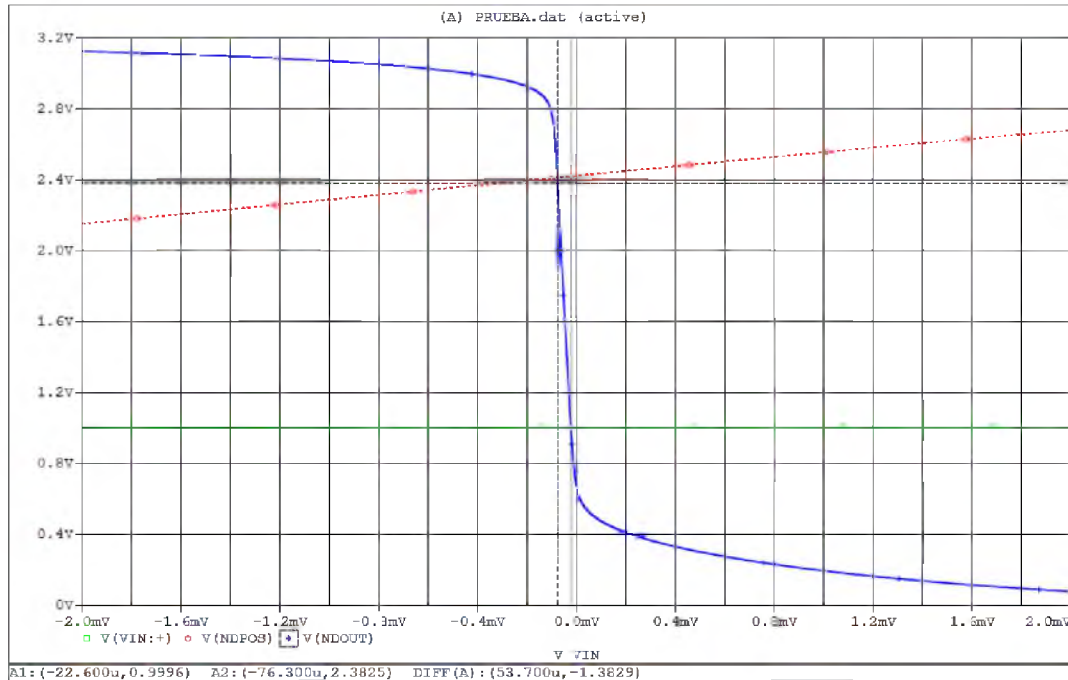


Figura 20) Barrido de tensión continua con $V_{CM}=1.005\text{V}$.

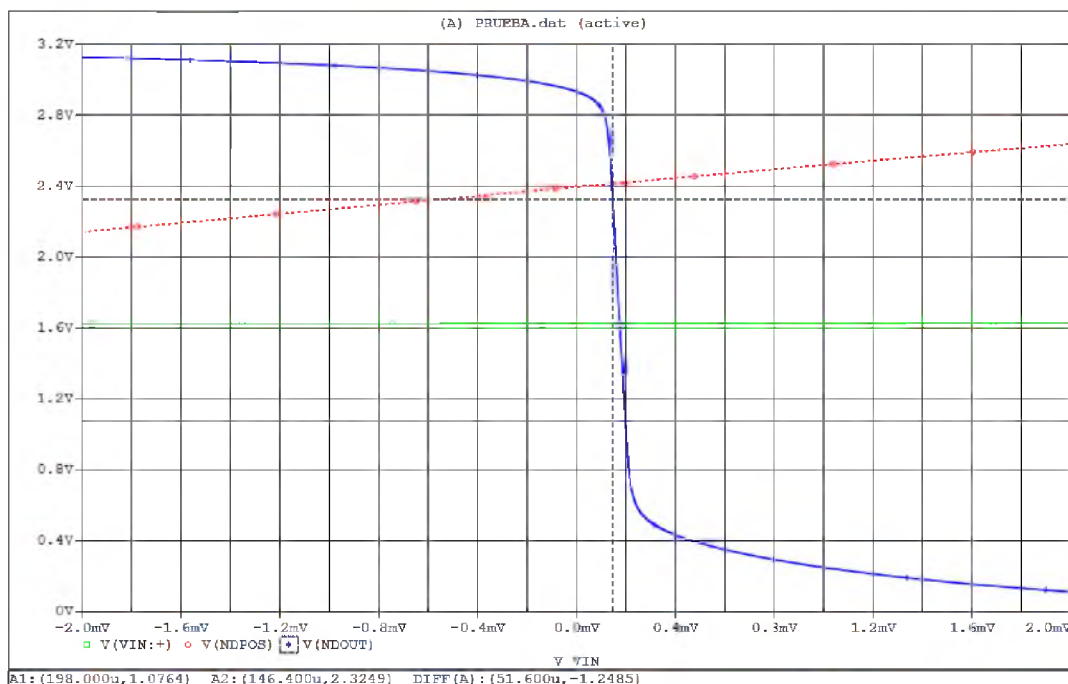


Figura 21) Barrido de tensión continua con $V_{CM}=1.625\text{V}$.

Como se muestra en la figura 20 y figura 21, el offset del comparador varía según cuál sea el voltaje en modo común. Para el nivel más bajo de referencia (1.005V) el error de offset es de -60uV, mientras que para el nivel más alto (1.625V) es de +180uV, aproximadamente. Análogamente, la ganancia del comparador también se ve afectada y varía entre 23.843 y 25.814 veces. En conclusión, el error total del conversor es la suma de ambos errores, tanto digital como analógico, igual a $\pm 5.180mV$.

CAPÍTULO 3

Campaña de inyección manual

CAPÍTULO 3: Campaña de inyección manual

En este capítulo se detallará el proceso de inyección de fallas y su posterior análisis. El propósito de esta investigación es el de determinar un grupo confiable de resultados para tomar como referencia para la campaña automática. El trabajo se enfocó en las estructuras analógicas del circuito, debido que el estudio en estructuras digitales es más conocido y existe abundante información.

3.1) INYECCIÓN

La campaña de inyección se realizó sobre los comparadores (estructuras analógicas del conversor). Las fallas son inyectadas en los drenadores de cada transistor que lo conforman (PMOS y NMOS, variando la dirección de la corriente según corresponda) simulando un SET para distintas condiciones de señal de entrada.

La inyección manual permite disponer de un conjunto de resultados de gran confianza para el usuario, que luego servirán para comparar los datos obtenidos de la campaña automatizada de inyección y extracción de resultados. La confianza a estos resultados proviene del hecho que el proceso de inyección de fallas requiere de una modificación de archivos de simulación, selección de condiciones, configuración del ambiente de simulación, lectura de datos simulados, extracción e interpretación de los mismos, lo que genera un entorno propenso a errores. Es por ello que la etapa de inyección y análisis de resultados se realiza en un principio de manera manual bajo variadas condiciones para asegurar la confiabilidad del proceso y luego corroborar el funcionamiento de la aplicación que automatizará al mismo.

Metodología de inyección

Teniendo presente la figura 22, las inyecciones se realizaron conectando las fuentes de corriente (círculos verdes) en los diferentes drenadores del circuito (círculos amarillos) y simulando cada una de las configuraciones resultantes. Se realizó un estudio paramétrico variando la tensión de entrada en 4 niveles diferentes:

- $V_{INneg} = (V_{ref} - 8mV)$ por lo que la salida del comparador debe estar en NIVEL ALTO (curvas de color verde - figura 23).
- $V_{INneg} = (V_{ref} - 5mV)$ por lo que la salida del comparador debe de estar en NIVEL ALTO (curvas de color rojo - figura 23).
- $V_{INneg} = (V_{ref} + 5mV)$ por lo que la salida del comparador debe de estar en NIVEL BAJO (curvas de color violeta - figura 23).

- $V_{INneg} = (V_{ref} + 8mV)$ por lo que la salida del comparador debe de estar en NIVEL BAJO (curvas de color amarillo - figura 23).

El esquemático del comparador con los puntos de inyección está representado en la figura 22.

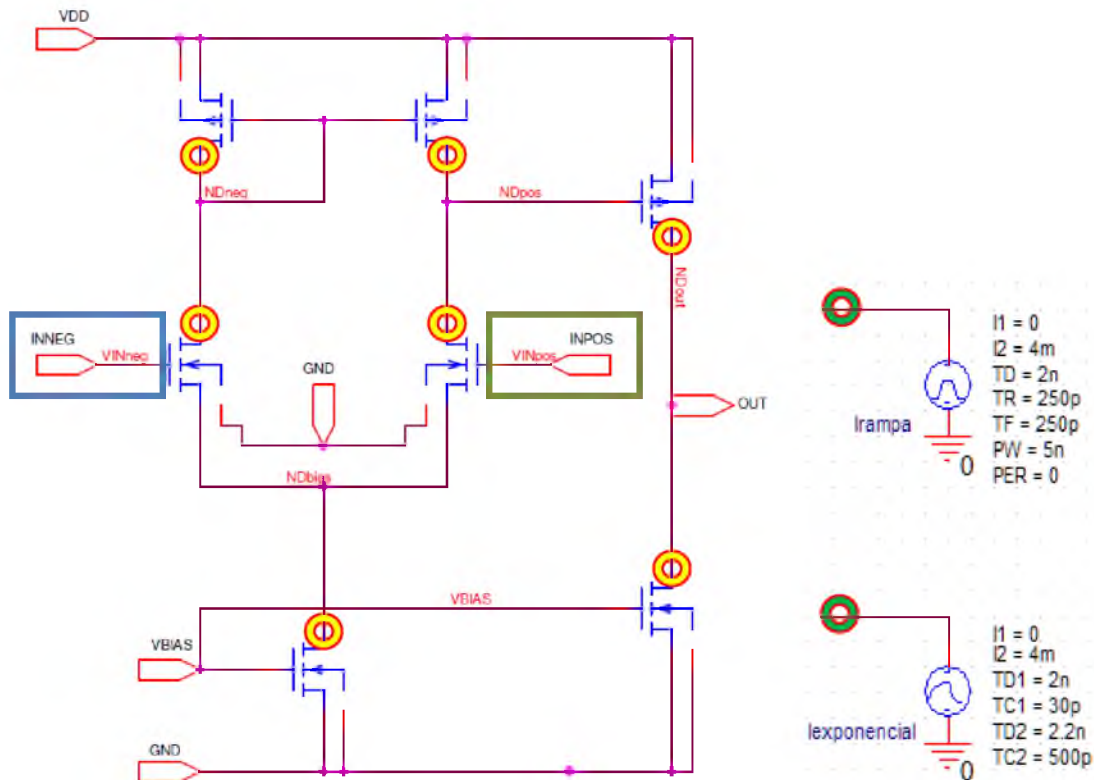


Figura 22) Esquemático del comparador.

La campaña se realizó en 3 comparadores distintos, cada uno representativo de distintas partes del circuito (nivel bajo, nivel medio y nivel superior de comparación) abarcando todo el rango de tensión en el cual trabajan los 63 comparadores. Los niveles son:

- $V_{ref} = 1.005 V$ (corresponde al primer comparador C1).
- $V_{ref} = 1.315 V$ (corresponde al comparador C32, mitad de rango de conversión).
- $V_{ref} = 1.625 V$ (corresponde al último comparador C63).

El recuadro de color azul en la figura 22 indica el terminal inversor del comparador, en el cual se conecta la señal de entrada a convertir. El recuadro de color verde indica el terminal no inversor, y allí se conectan las diferentes tensiones de referencia según corresponda.

3.1.1) Inyección de fallas exponenciales

A continuación se presentan las inyecciones de fallas realizadas para los distintos comparadores seleccionados. En las siguientes figuras se ilustran algunos de los resultados obtenidos luego de la simulación, en donde se pueden apreciar dos gráficos por cada una. En el gráfico superior se muestra las tensiones del nodo de salida del comparador ($V_{(NDOUT)}$), y en la zona inferior se grafica la sumatoria de las corrientes intervinientes en el drenador donde se inyectó la falla (curva de color verde es la corriente inyectada, la curva de color rojo es la sumatoria de las corrientes existentes en el nodo, figura 23 y figura 24).

1.005V C1 - Inyección en nodo NDNEG: Se inyecta el modelo exponencial en el nodo denominado NDNEG, el cual afecta a los drenadores de la rama de la señal de entrada (rama izquierda del diferencial).

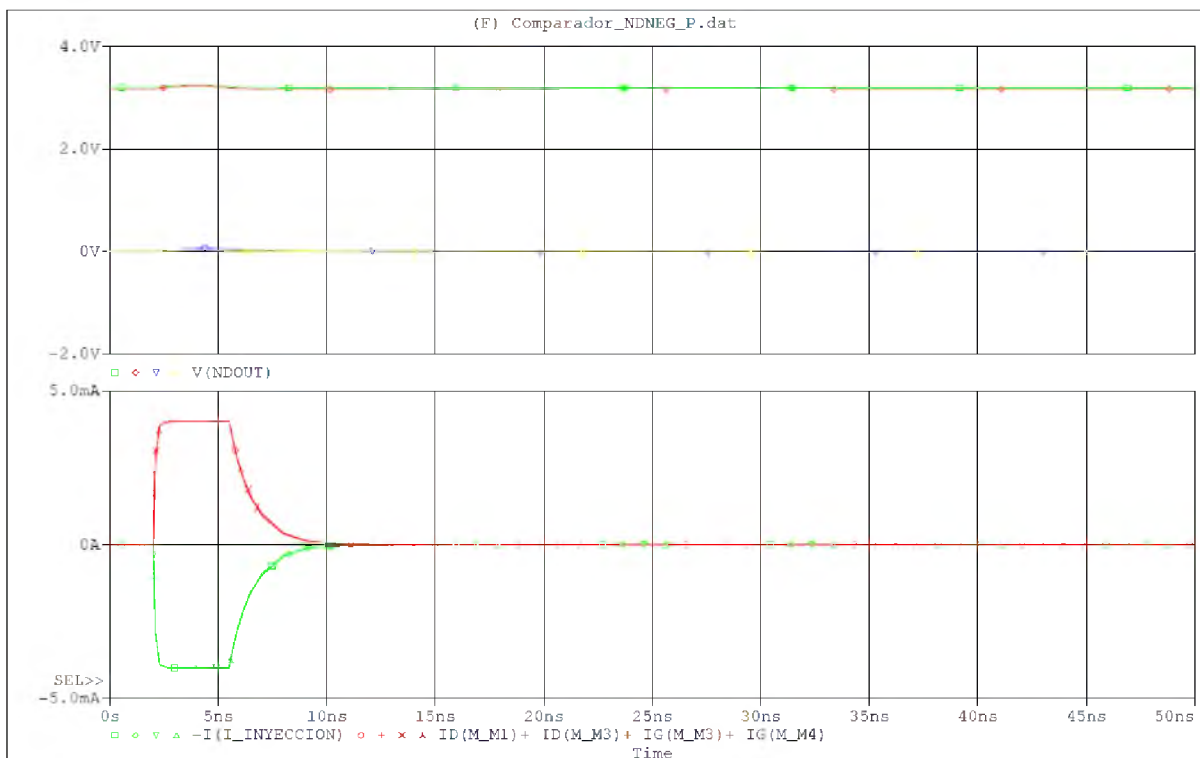


Figura 23) Inyección de falla exponencial en transistor PMOS, nodo NDNEG del comparador C1.

Como se puede observar, la inyección de la falla no afecta notoriamente la salida del comparador. Los niveles de corrientes y tensiones en el circuito son los adecuados para que esta inyección no produzca error. El nivel de tensión de entrada es el parámetro que juega el papel fundamental, ya que define los niveles de tensión en la etapa diferencial.

En ambos casos, la inyección de la falla solo produce un leve cambio de tensión en el nodo afectado, mientras que las corrientes intervinientes varían para mantener el equilibrio.

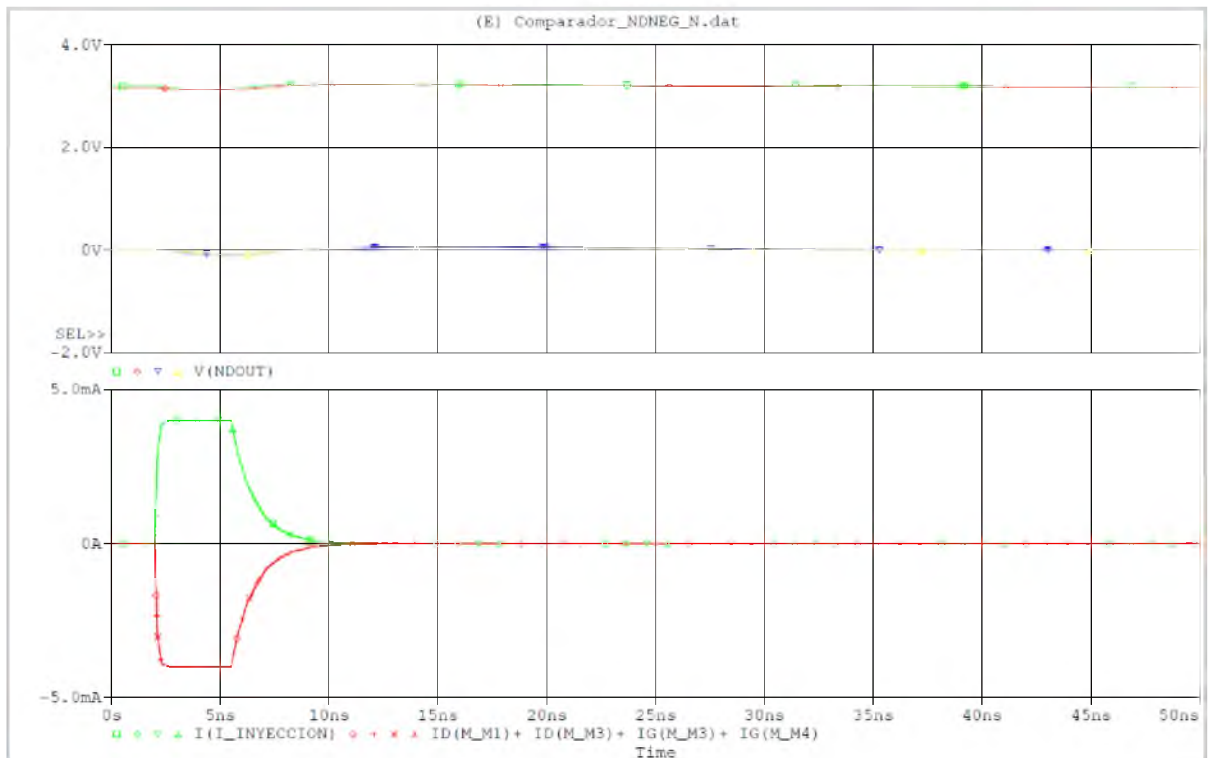


Figura 24) Inyección de falla exponencial en transistor NMOS, nodo NDNEG del comparador C1.

1.005V C1 - Inyección en nodo NDOUT: El nodo afectado en este caso es el nodo de salida del comparador (NDOUT, segunda etapa del comparador).

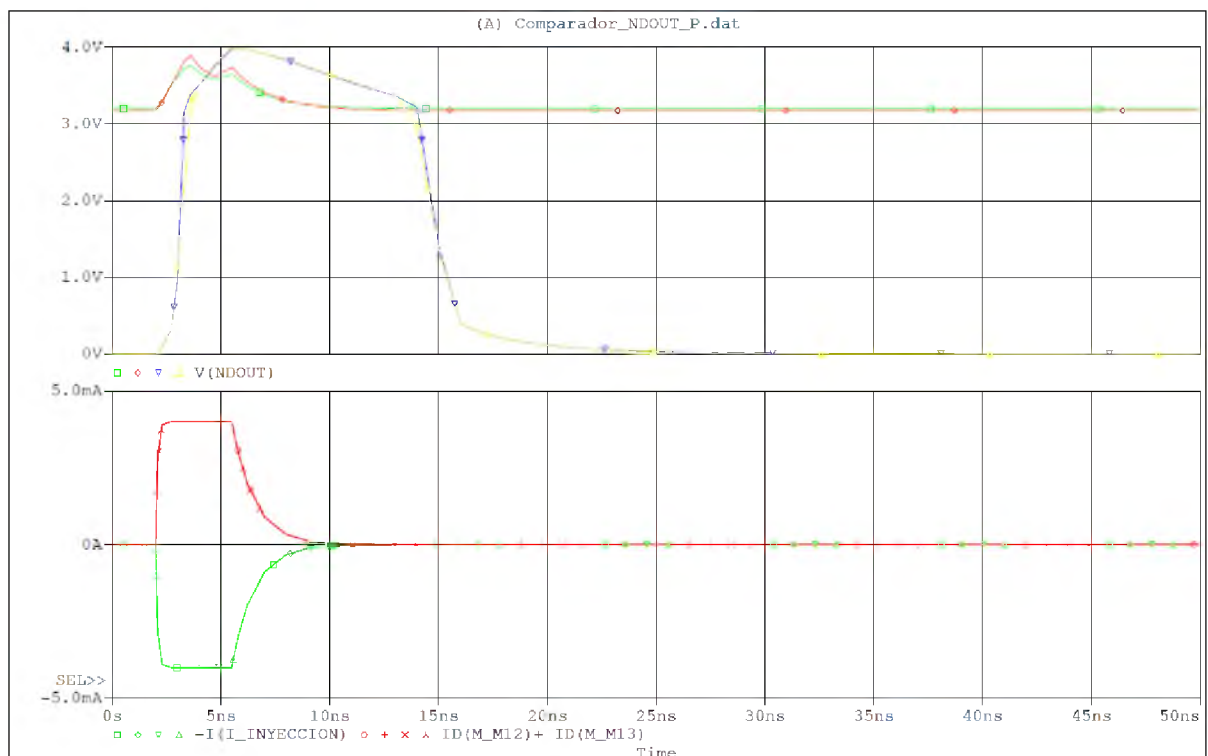


Figura 25) Inyección de falla exponencial en transistor PMOS, nodo NDOUT del comparador C1.

Analizando la simulación de la figura 25 se observa que el transistor PMOS del nodo NDOUT es sensible a los SETs, y que al ser afectado, produce un cambio de estado en el nodo de inyección para dos de las cuatro condiciones simuladas (ambas condiciones de tensión de entrada superiores a la tensión de referencia).

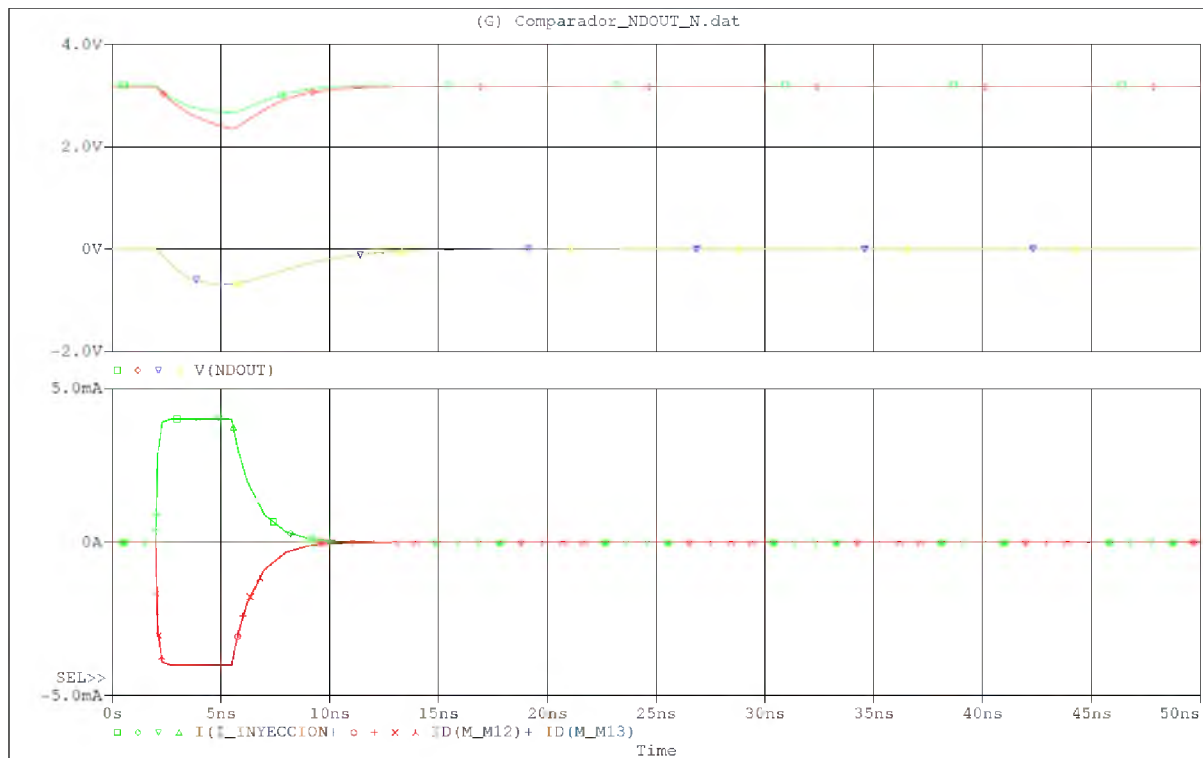


Figura 26) Inyección de falla exponencial en transistor NMOS, nodo NDOUT del comparador C1.

Cuando el drenador afectado es el del transistor NMOS conectado al nodo (figura 26), se observan variaciones significativas en la tensión, pero estas no generan un cambio de estado. Este tipo de variación puede generar una interpretación errónea por parte de las compuertas subsiguientes en la lógica. Para corroborar la sensibilidad del nodo NDOUT en los transistores PMOS, se seleccionaron las simulaciones que afectan dicho nodo de los comparadores C32 y C63, representadas en la figura 27 y figura 28 a continuación.

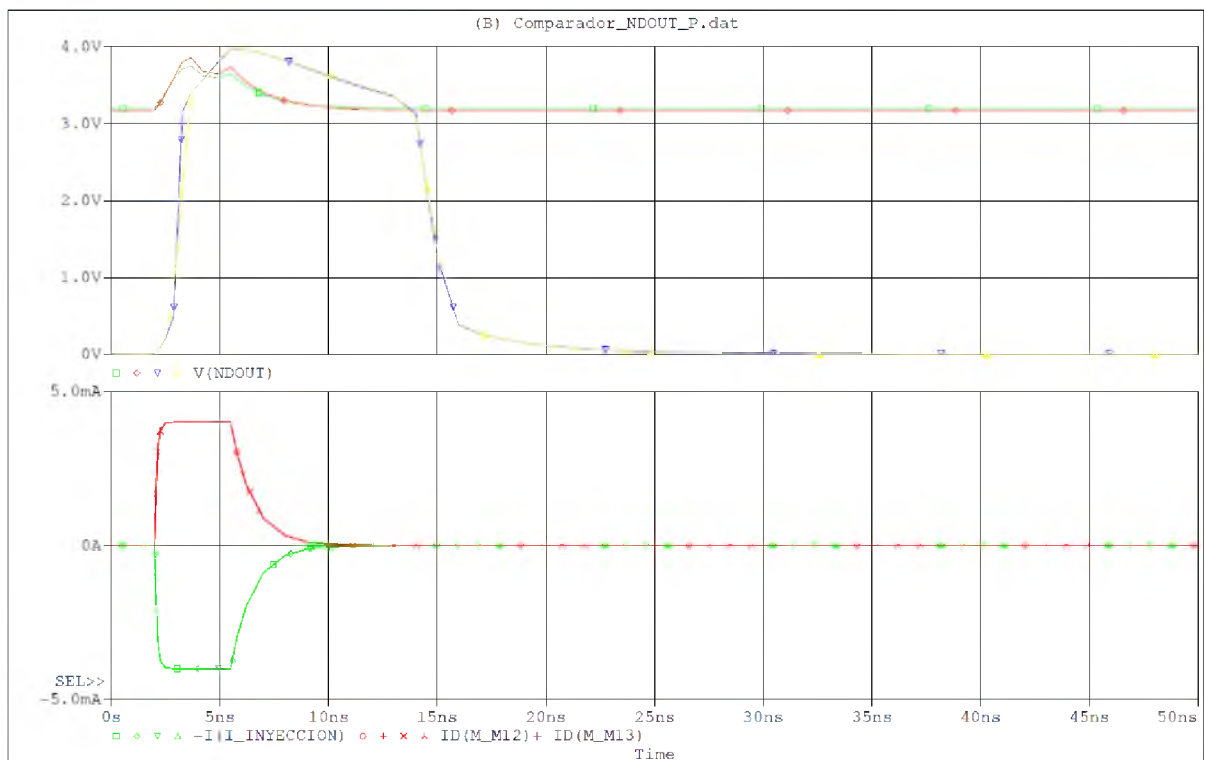
1.315V C32 - Inyección en nodo NDOUT:

Figura 27) Inyección de falla exponencial en transistor PMOS, nodo NDOUT del comparador C32.

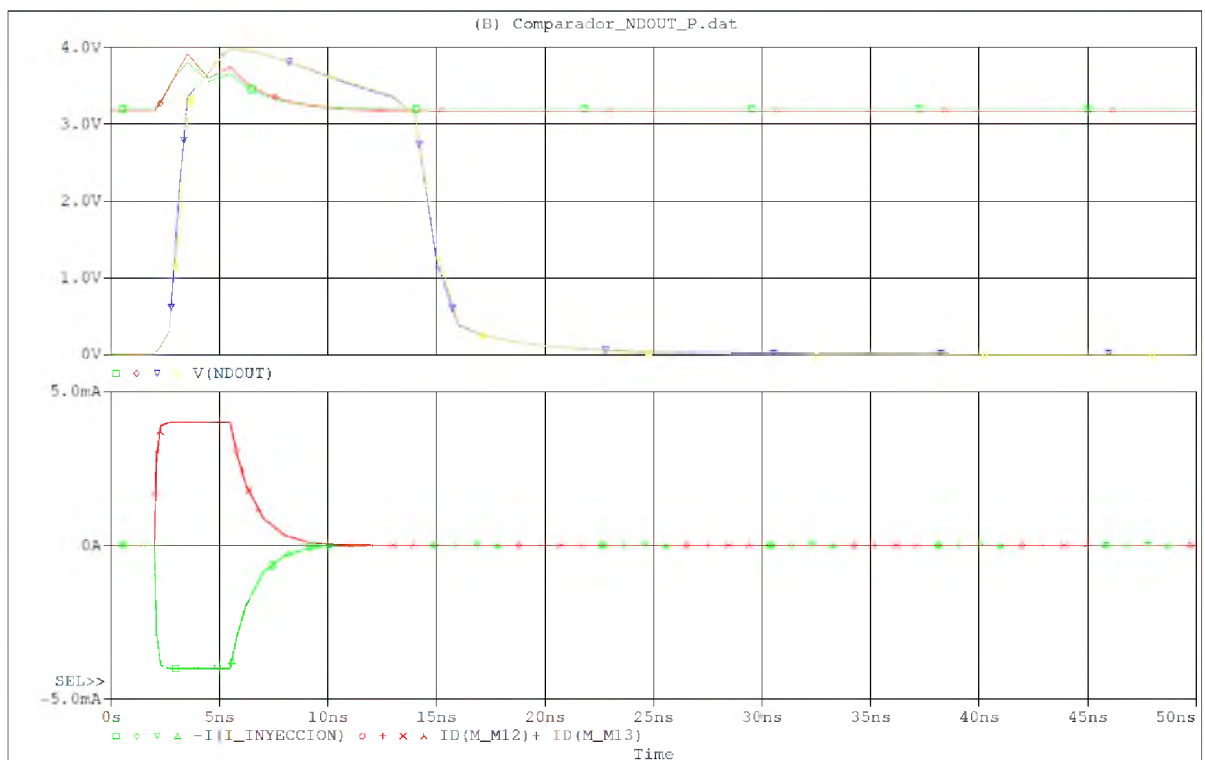
1.625V C63 - Inyección en nodo NDOUT:

Figura 28) Inyección de falla exponencial en transistor PMOS, nodo NDOUT del comparador C63.

Para ambos casos representados anteriormente, el nodo NDOUT demuestra ser sensible a la inyección exponencial en el drenador del transistor PMOS, generando cambios de estado en el punto. Para las simulaciones representadas sobre dicho nodo (figura 25, figura 27 y figura 28) se aprecia que tanto la amplitud como la duración del evento son similares, generando en todos los casos, que para tensiones de entrada superiores a la tensión de referencia (curva de color amarillo y de color violeta), la salidas cambien de estado por un tiempo de 14nS aproximadamente.

3.1.2) Inyección de fallas trapezoidales

1.625V C63 - Inyección en nodo NDPOS: Este nodo es la conexión entre la primera y segunda etapa del comparador (salida de la etapa diferencial del comparador).

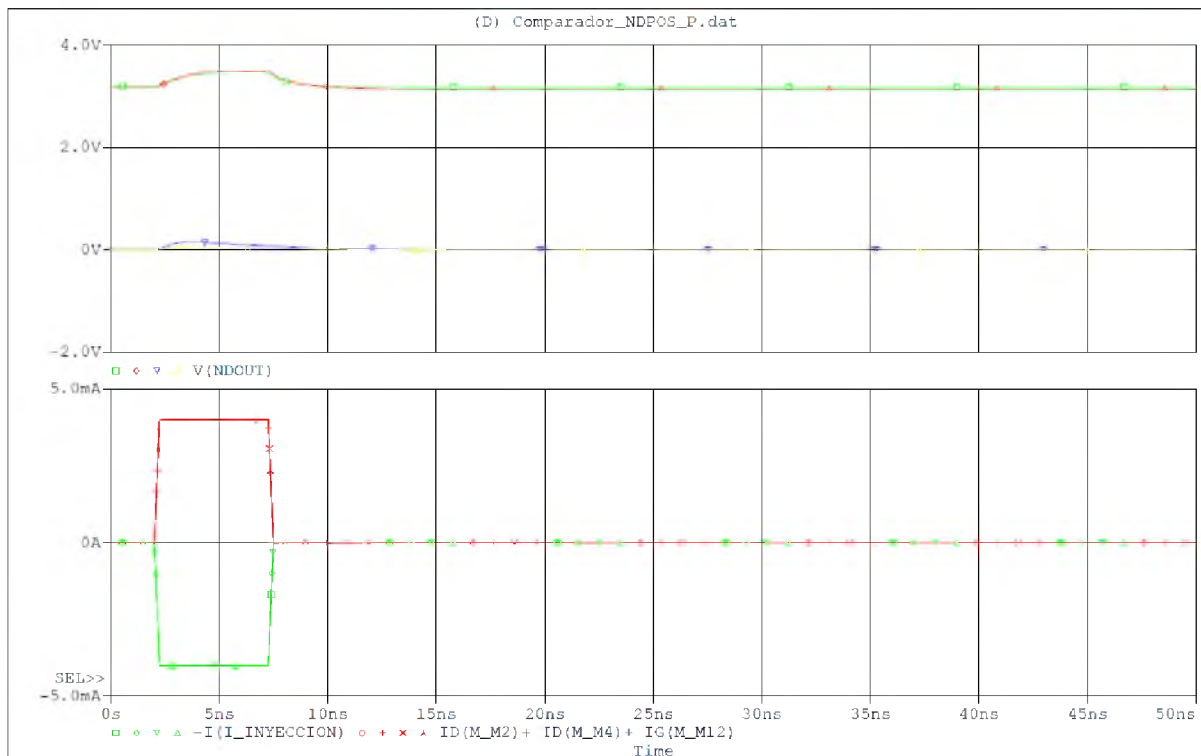


Figura 29) Inyección de falla trapezoidal en transistor PMOS, nodo NDPOS del comparador C63.

El caso de inyección de la falla trapezoidal genera perturbaciones en los nodos de una manera similar a la exponencial. Para las inyecciones en el nodo NDPOS, representados en la figura 29 y figura 30, las tensiones del nodo no varían lo suficiente para producir un cambio de estado. Las graficas de corriente en cada simulación nos da la pauta de que el modelo de falla inyectado es la trapezoidal (como se aprecia en la ventana inferior de las simulaciones en la figura 29 y figura 30).

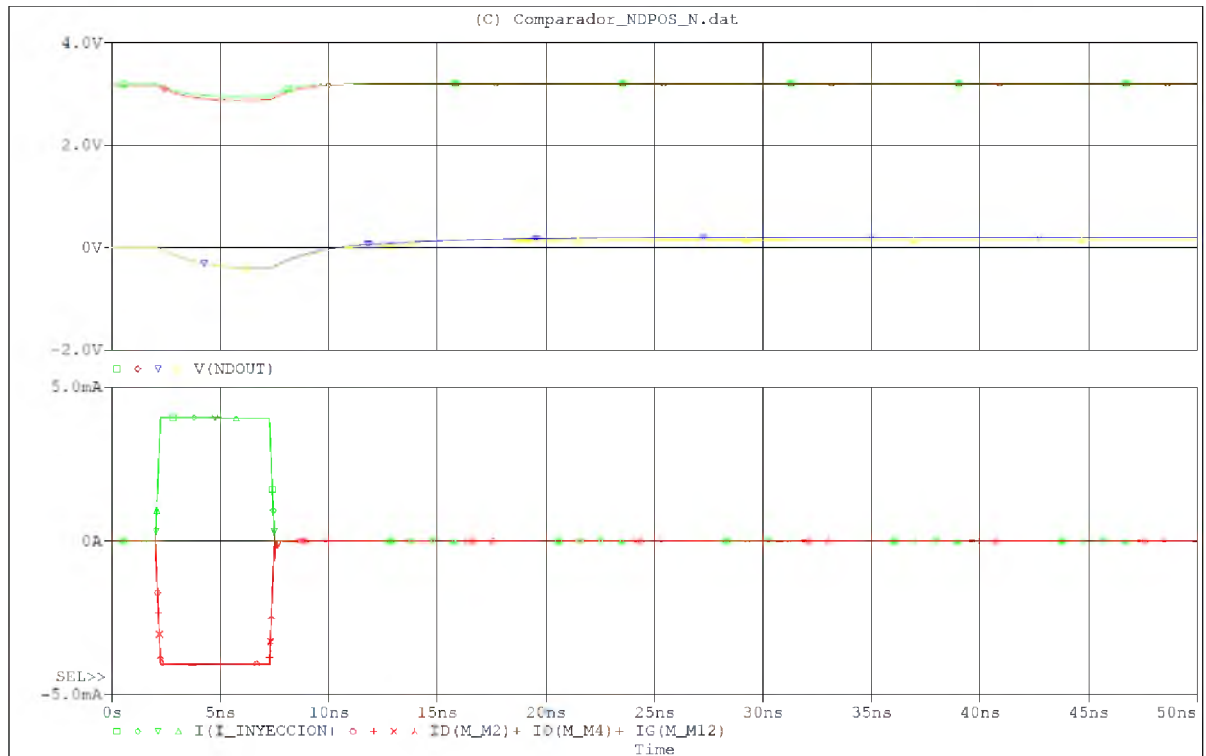


Figura 30) Inyección de falla trapezoidal en transistor NMOS, nodo NDPOS del comparador C63.

1.625V C63 - Inyección en nodo NDOUT:

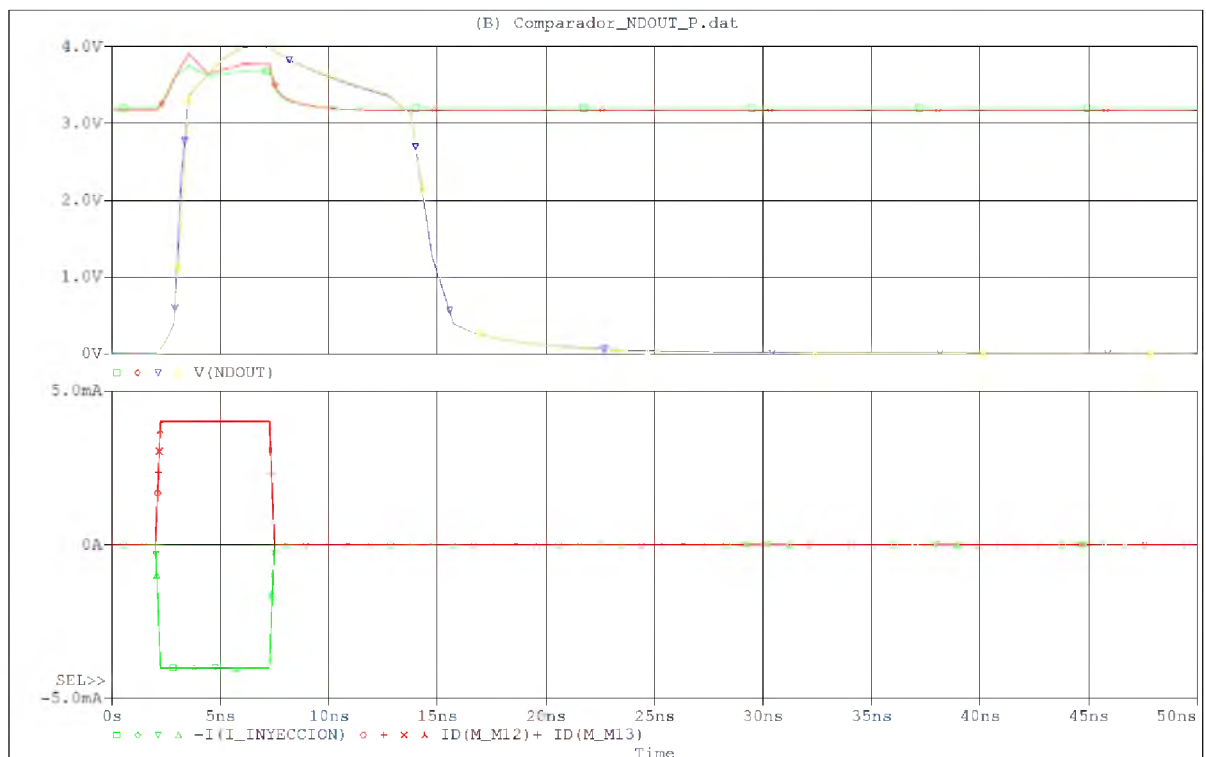


Figura 31) Inyección de falla trapezoidal en transistor PMOS, nodo NDOUT del comparador C63.

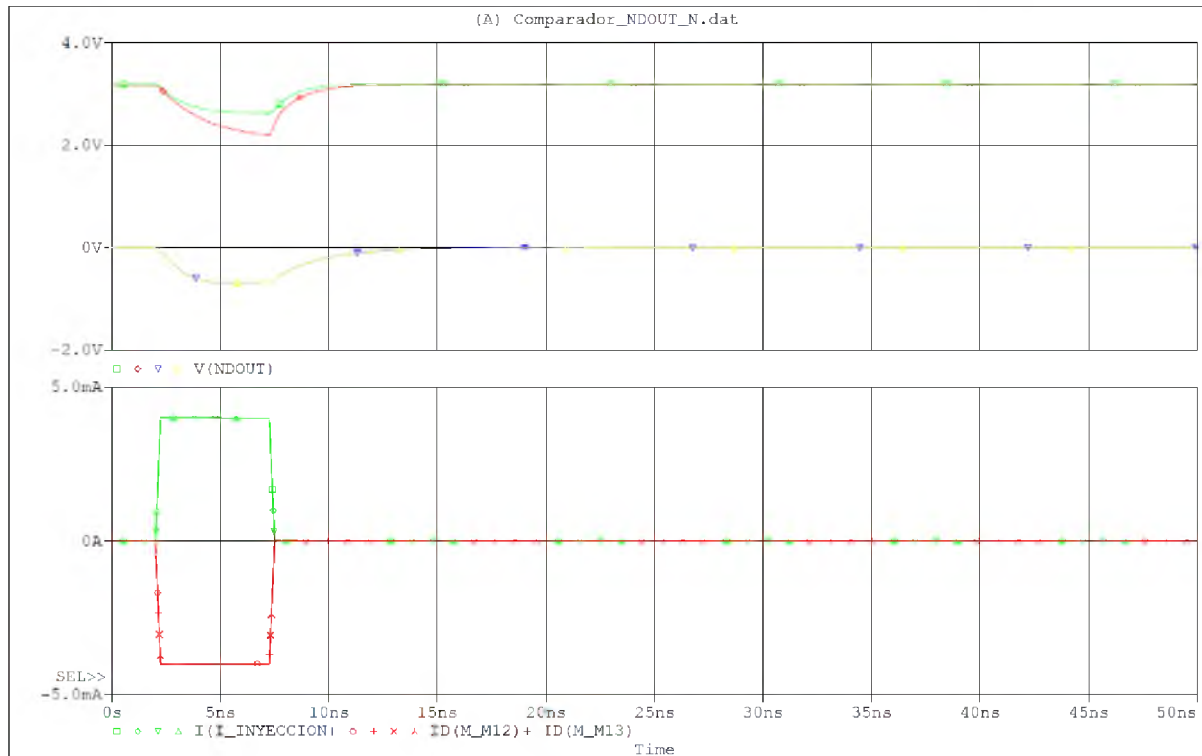


Figura 32) Inyección de falla trapezoidal en transistor NMOS, nodo NDOUT del comparador C63.

Finalmente como se esperaba, luego de la inyección de la falla tipo trapezoidal en el nodo NDOUT, se verificó que dicho nodo es también sensible a este modelo. En la figura 31, donde se encuentra representada la inyección en el drenador del transistor PMOS conectado al nodo, se observa el cambio de estado de las señales en color amarillo y violeta durante un tiempo 15nS aproximadamente, y una variación parcial de las tensiones en el nodo para las señales de color verde y rojo. En la figura 32 se aprecian variaciones parciales de las señales durante el periodo de permanencia de la perturbación, y que luego de su esparcimiento en el sistema, dichos niveles de tensión recuperaron sus voltajes iniciales, no produciendo así cambios de estado.

3.2) ANÁLISIS

Los resultados de la campaña se lograron mediante el análisis de las simulaciones, verificando el comportamiento general del circuito ante cada alteración e identificando los nodos sensibles propensos a fallar. Luego de corroborar el método utilizado y los resultados obtenidos, se pasó a la clasificación de estos, para luego ser utilizados como referencia en las ejecuciones automáticas.

Metodología de análisis

El análisis se llevará a cabo a partir de la cuidadosa lectura de las gráficas obtenidas y de la extracción de datos de las simulaciones (algunas de ellas se observan en la figura 23 a la figura 32 y en el APÉNDICE D). Los resultados de las campañas de inyección de las fallas se presentan a continuación. En ellas se grafican las duraciones y variaciones de tensión de los eventos en los nodos del comparador durante los procesos de simulación.

Debido a que todas las inyecciones generan variaciones de tensión en donde se inyectan, se determinó según la lógica combinacional conectada a continuación de los comparadores, que los eventos deberían de superar los límites definidos durante la etapa de diseño para ser considerados un error.

En la figura 33 se encuentra la simulación en conjunto realizada a las compuertas que conformar el decodificador. El fin de esta fue determinar el rango de tensión de entrada de las mismas para definir los límites lógicos, lo cual nos determina las tensiones mínimas y máximas para las cuales deberemos considerar una variación de tensión como un “UNO o CERO”.

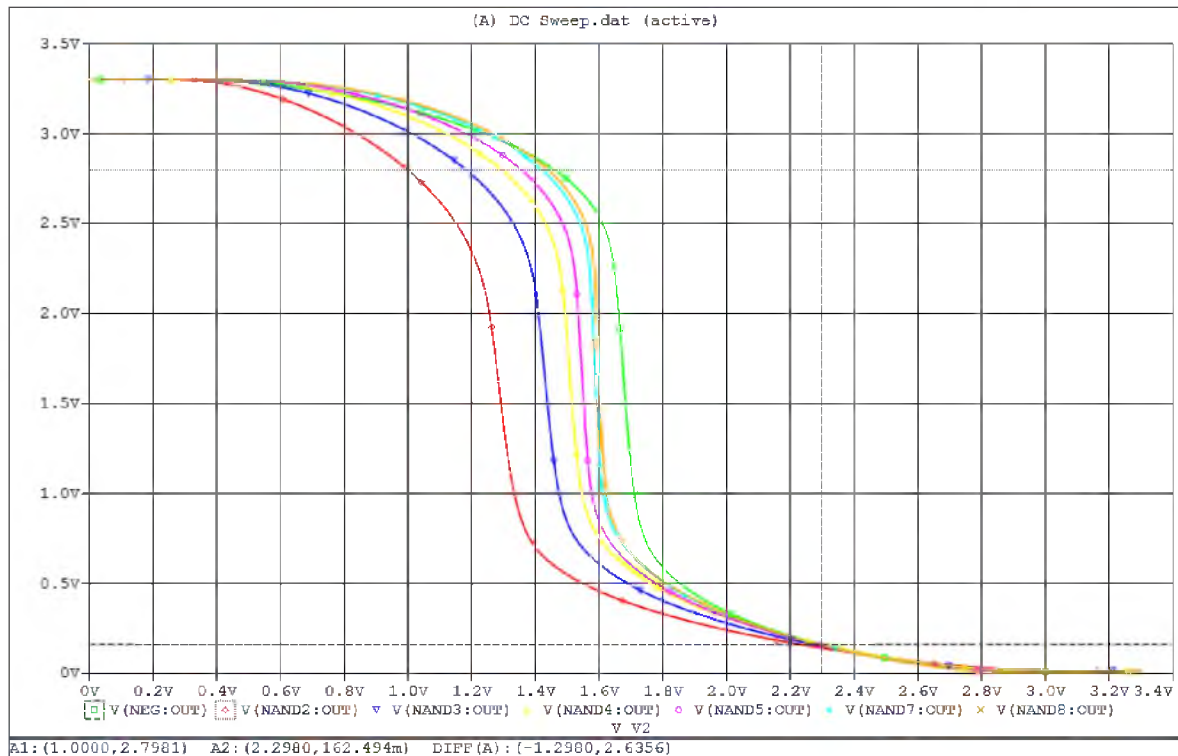


Figura 33) Barrido de tensión de entrada para las diferentes compuertas que conforman el decodificador.

Como resultado, se definieron los límites:

- UNO LÓGICO
 - Límite superior: 3.3 voltios.
 - Límite inferior: 2.3 voltios.
- CERO LÓGICO
 - Límite superior: 1 voltio.
 - Límite inferior: 0 voltio.

Estos límites permiten discriminar pequeñas variaciones de tensión que no afectan a la salida del conversor, debido al efecto de filtrado que se genera por la lógica interna del decodificador.

En la figura 34, figura 35 y figura 36 se ilustran los resultados obtenidos a partir de la inyección de la falla exponencial, y en las figura 37, figura 38 y figura 39 los de la inyección de la falla trapezoidal (o rampa).

3.2.1) Sistematización de resultados – Falla exponencial

En el eje vertical de las gráficas se representa la variación total de la tensión del nodo causada por la perturbación con respecto a su punto de reposo (en escala logarítmica), y en el eje horizontal, la duración de la perturbación. Los distintos colores en las gráficas representan a cada una de las condiciones de tensión de entrada utilizadas durante la inyección (dos inferiores y dos superiores a la tensión de referencia especificada como V_{ref}).

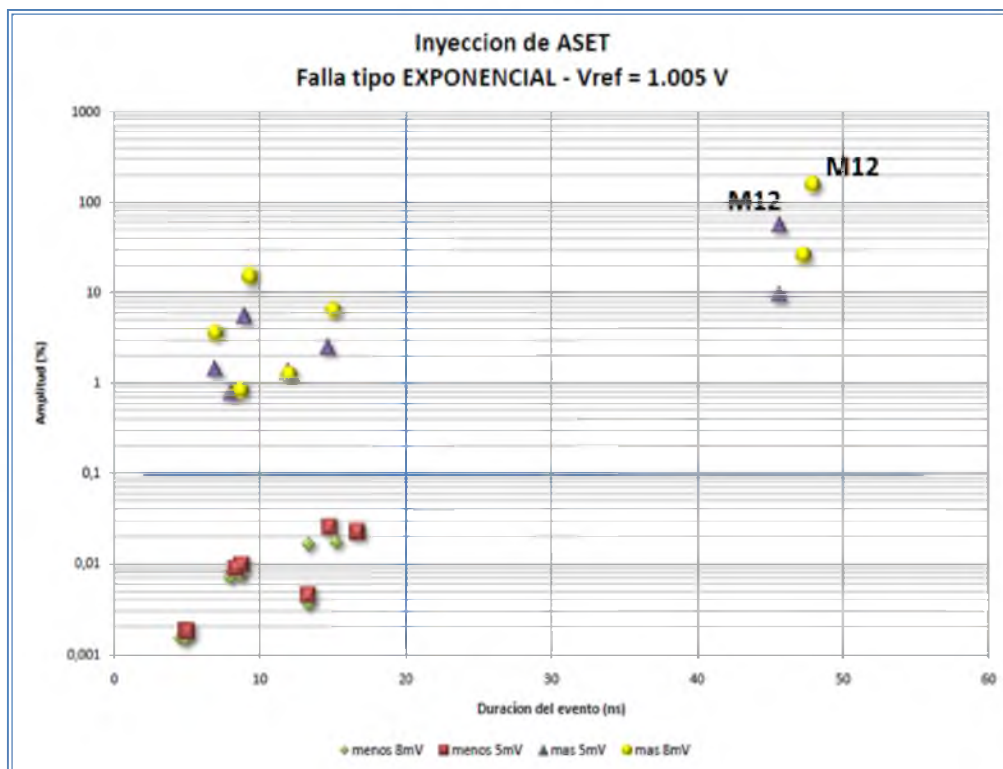


Figura 34) Gráfica de dispersión, inyección de falla exponencial ($V_{ref}=1.005V$).

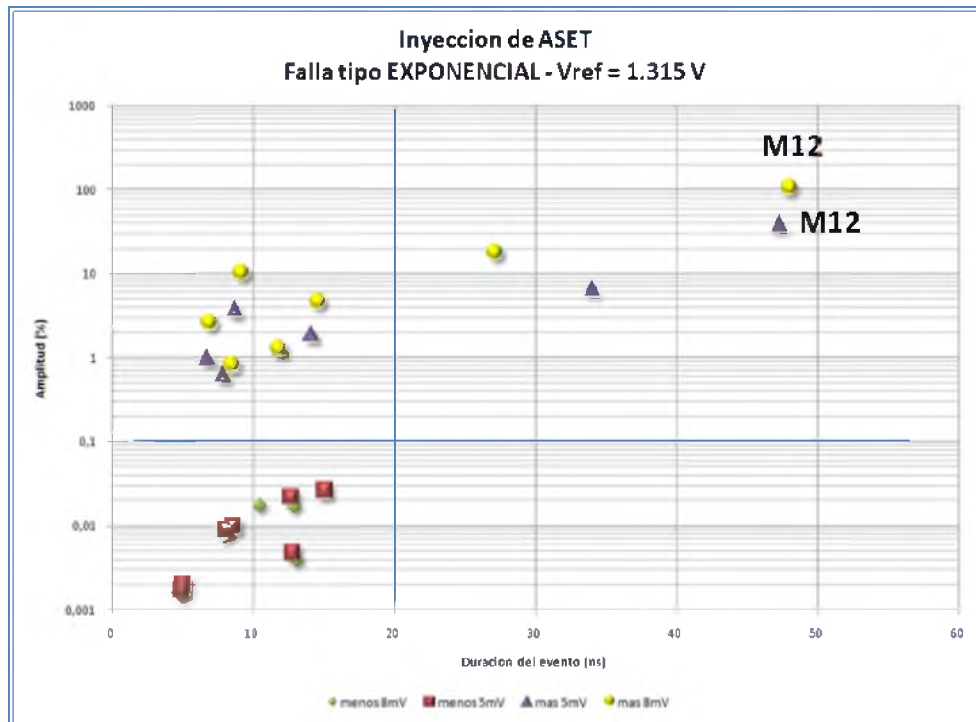


Figura 35) Gráfica de dispersión, inyección de falla exponencial ($V_{ref}=1.315\text{V}$).

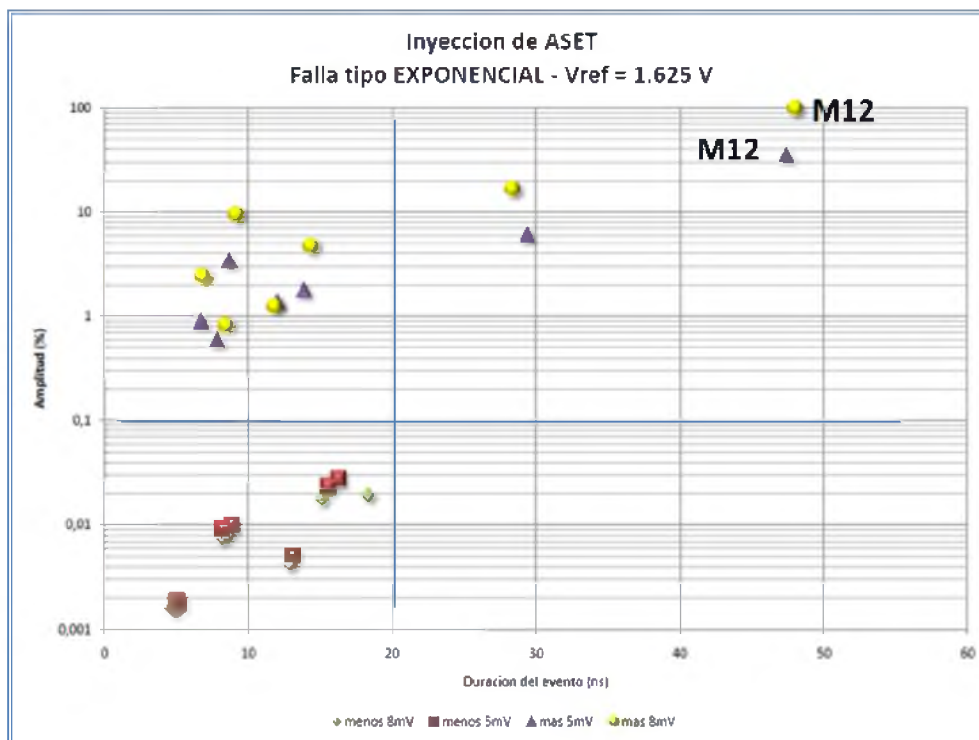


Figura 36) Gráfica de dispersión, inyección de falla exponencial ($V_{ref}=1.625\text{V}$).

Luego de presentar los resultados de las simulaciones, observamos que para las 3 condiciones de tensión de referencia en las cuales se realizó la inyección de la falla tipo exponencial, se produjo una distribución muy similar en los gráficos de dispersión tanto en tiempo como en variación de amplitud. Para cada nivel de tensión de entrada representado en las graficas (verde, rojo, violeta y amarillo) existen 7 puntos de dispersión, correspondientes a cada uno de los drenadores.

En las gráficas (figura 34, figura 35 y figura 36) se realizó la división de resultados en 4 cuadrantes.

En el primer cuadrante (inferior izquierdo), se ubican los puntos de color verde y rojos, pertenecientes a las variaciones de las señales de entrada que se encuentran por debajo de la tensión de referencia, y que por lo tanto, generan una salida positiva del comparador. En estos casos, las variaciones de tensión en los nodos inyectados no alcanzaron grandes valores, y su duración está comprendida en los 15nS aproximadamente. Como ya se observó en las gráficas de las simulaciones de las figura 23-figura 28, las tensiones volvían a su nivel de reposo luego de que la perturbación desapareciera.

Para el segundo cuadrante (superior izquierdo), tenemos una distribución similar en las 3 graficas. Los 10 puntos existentes en él, 5 color amarillo y 5 violetas, indican una variación de tensión considerable en relación a los niveles de reposo en el nodo (entre una y 20 veces la tensión del nodo). Estas variaciones se dan para las señales de entrada mayores a la tensión de referencia, por lo que la salida en reposo del comparador se encontraba en un nivel lógico CERO. Considerando esto, las variaciones de estas tensiones involucran desde microvoltios a decenas de milivoltios, por lo cual una variación de 10 veces la tensión del nodo puede indicar rangos de voltios.

En el cuarto cuadrante (superior derecho), las variaciones que llegan a producirse alcanzan las 200 veces de amplitud, lo que aumenta considerablemente las probabilidades de producir errores en la salida del conversor. Para los análisis de los 3 comparadores (distintas V_{ref}) se obtuvo igual sensibilidad en el drenador M12 (marcado en las figuras), el cual al ser perturbado, causaba un cambio de estado.

Analizando las graficas, se observa que las duraciones en los tiempos de los eventos disminuyen al aumentar la tensión de entrada.

3.2.1) Sistematización de resultados – Falla trapezoidal

Al igual que en el análisis anterior, para éste caso también se observan similitudes en la distribución de los puntos en los primeros dos cuadrantes.

En el primer cuadrante tenemos las referencias de color verde y rojo con pocas variaciones y duración, y en el segundo cuadrante, las referencias de color amarillo y violeta que ya poseen variaciones capaces de producir errores de corta duración.

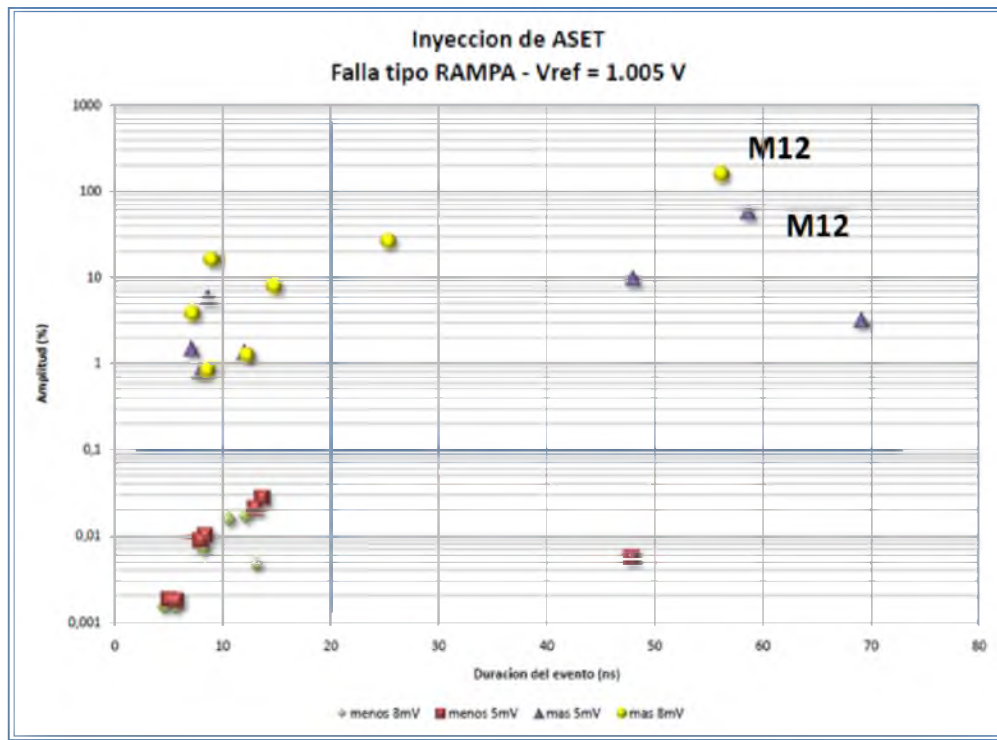


Figura 37) Gráfica de dispersión, inyección de falla trapezoidal ($V_{ref}=1.005V$).

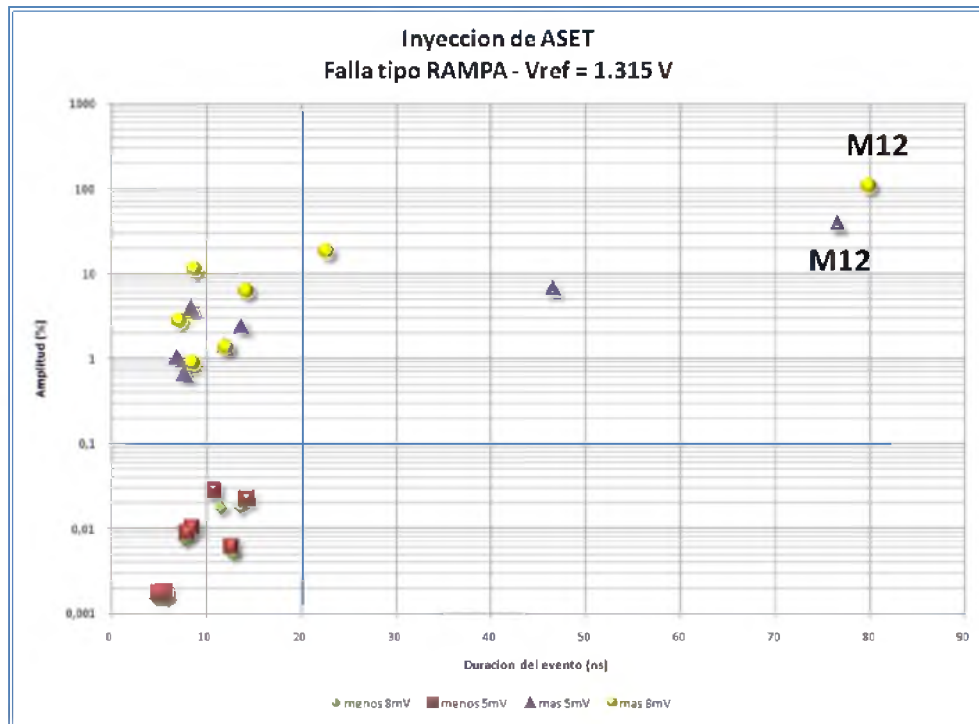


Figura 38) Gráfica de dispersión, inyección de falla trapezoidal ($V_{ref}=1.315\text{V}$).

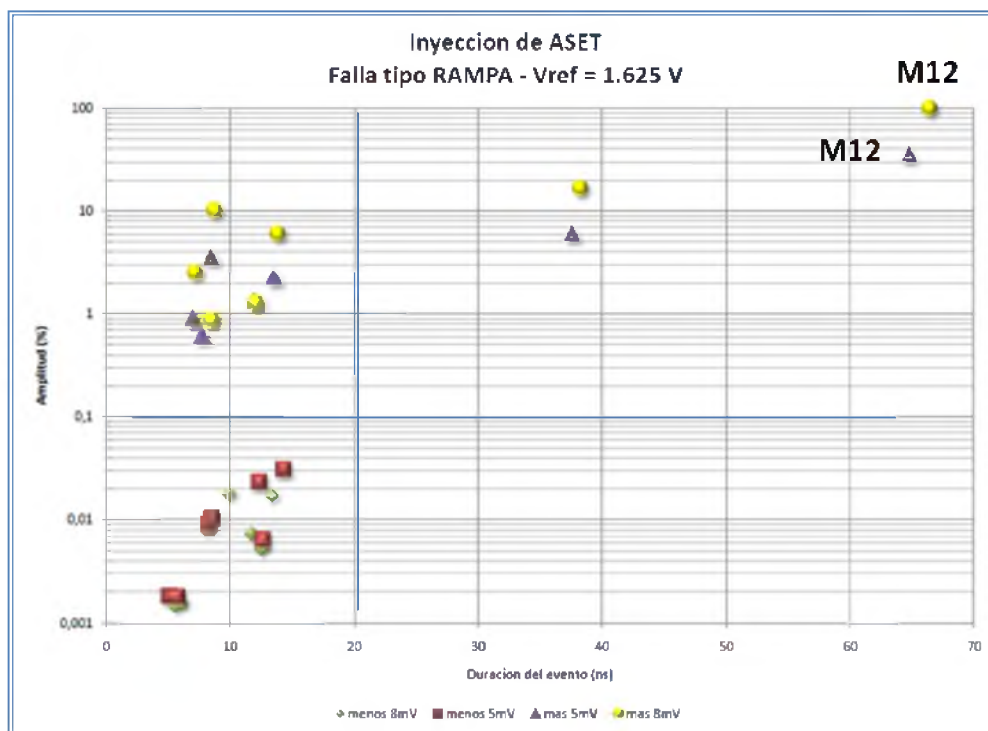


Figura 39) Gráfica de dispersión, inyección de falla trapezoidal ($V_{ref}=1.625\text{V}$).

Analizando el cuarto cuadrante (superior derecho), se aprecian varias diferencias entre los 3 gráficos de dispersión realizados. Para la figura 37 observamos 5 puntos muy dispersos en tiempos y amplitud entre ellos, yendo de una variación de 5 a casi 200 veces para el transistor M12 (punto de color amarillo). También resalta en la grafica el dato de color rojo ubicado en el tercer cuadrante, cuya variación es mínima pero posee una duración de evento muy prolongada. Para la figura 38 y figura 39, se observan similitudes en sus datos relacionados a la variación de los eventos en el cuarto cuadrante, a pesar de que la diferencia en su duración es considerable.

Al igual que para la falla exponencial, en este análisis se puede destacar que el drenador del transistor M12 es un nodo sensible del circuito. A diferencia del primero, se aprecia una mayor duración del efecto causado en los nodos de inyección (mayor duración de eventos) y un aumento en la cantidad de eventos con variaciones capaces de producir errores.

CAPÍTULO 4

Campaña de inyección automática

CAPÍTULO 4: Campaña de inyección automática

En este capítulo se detallará el proceso de inyección de fallas automatizado y su posterior análisis. La automatización se llevó a cabo con el desarrollo de una aplicación que permitió la inyección sistematizada de fallas, la simulación del circuito, y el posterior análisis de los resultados.

4.1) Aplicación

La elección de desarrollar una aplicación que permitiese automatizar el proceso de inyección fue motivada por un pequeño análisis de los tiempos asociados a cada inyección. El conversor diseñado consta de 63 comparadores y cada uno de ellos posee 7 transistores, dando un total de 441 puntos de inyección. Por cada uno de éstos se realiza una simulación del tipo transitoria para cada nivel de tensión de entrada. Se definieron un total de 64 niveles de tensión de entrada, lo que da como resultado más de 28.000 simulaciones. Por último, este proceso se realiza para ambos tipos de fallas, duplicando la cantidad de simulaciones.

Con un total de simulaciones mayor a 56.000, el tiempo requerido para realizarlas manualmente era considerablemente mayor que el requerido para desarrollar la aplicación que automatizará la etapa de simulación, y así, la mejora del tiempo requerido por cada simulación fue notablemente reducida.

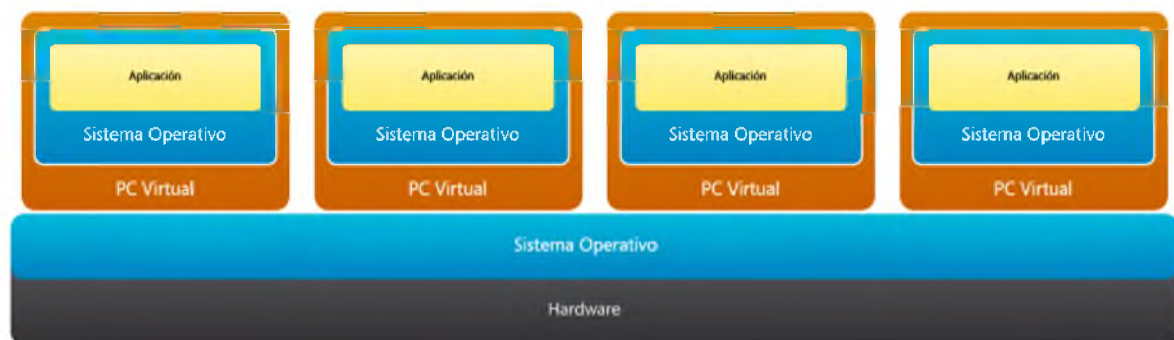


Figura 40) Entorno virtualizado para ejecutar la aplicación.

Configurar el circuito, simularlo, y guardar los resultados requería aproximadamente 2 minutos/persona. Con la aplicación desarrollada, el tiempo del proceso completo por simulación se disminuyó a 26 segundos en una computadora personal. Si bien el tiempo se mejoró, a la aplicación le hubiera llevado 17 días terminar de simular, todavía un tiempo bastante alto. Se recurrió entonces a dos entornos virtualizados. Uno de ellos permitía ejecutar 4 instancias de la aplicación (como se puede observar en la figura 40, mientras que el otro permitía ejecutar 2 instancias más. El establecimiento del entorno consumió dos días de

trabajo, logrando que las 56.000 inyecciones se realizaran en tan solo 5 días. (El ambiente de desarrollo y simulación se encuentra mejor detallado en el APÉNDICE D).

Características del proceso y aplicación

El proceso se divide en etapas a realizar por el usuario y por el programa, comenzando por el diseño del circuito (explicado en el capítulo 2), en el cual se tuvieron que tener especiales cuidados a la hora de nombrar los nodos, debido a que el criterio de inyección tiene su base en los nombres de los mismos. Se especificó una convención de nombres para que los criterios fueran simples de definir. En la figura 41 se pueden observar las etapas involucradas en la campaña de inyección.

En una segunda etapa, el circuito se exporta del capturador de esquemáticos a un formato estándar de SPICE, permitiendo que se pueda utilizar cualquier tipo de capturador y brindar así mayor libertad al usuario. De la misma manera, el modelo de la falla se especifica utilizando los elementos de las librerías estándares de SPICE.

Por último, el usuario determina un criterio de inyección que le permite especificar tipo de transistor a inyectar, comparador o comparadores, nodos determinados, etc., e ingresa los datos a la aplicación.



Figura 41) Interacción usuario-aplicación.

La aplicación, en una primera etapa, lee el archivo descriptivo del circuito y analiza los nodos involucrados en el mismo. Con esta información compara los nodos con el criterio especificado y comienza a generar archivos circuitales con la falla en cada uno de los nodos determinados. La interfaz del programa para la inyección de la falla se puede ver en la figura 42.

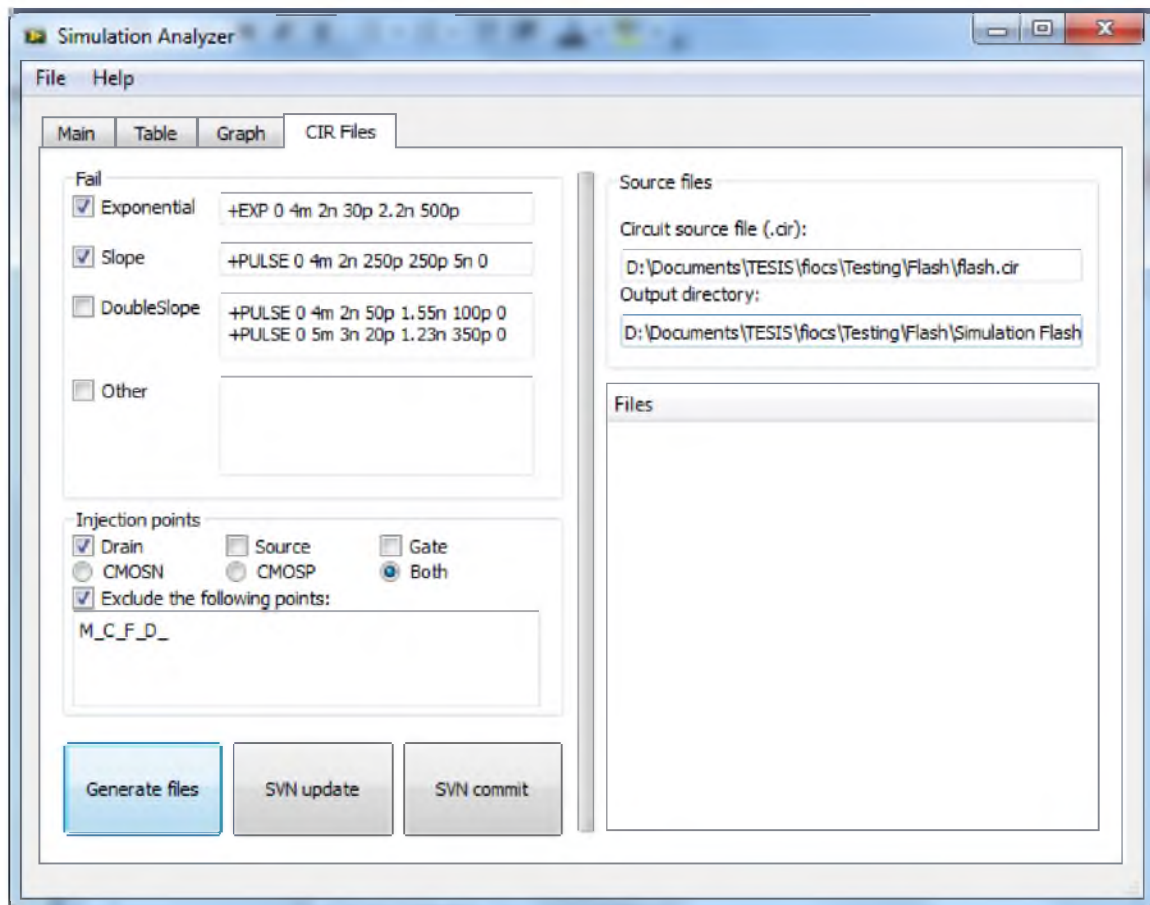


Figura 42) Módulo de inyección de fallas. Se pueden apreciar los tipos de falla y puntos de inyección por defecto.

Una vez generados todos los archivos, la aplicación esta lista para comenzar a simular. Para ello, un modulo de la aplicación recorre la estructura de directorios donde se almacenaron los archivos y los carga en PSPICE (aplicación SPICE incluida en el paquete Cadence® OrCAD®) y realiza la simulación en cadena de todos ellos. Al terminar cada simulación, el archivo de salida es almacenado en un formato estándar conocido por su sigla en inglés CSDF (Common Simulation Data File), y la aplicación se encarga de comprimir la información y almacenarla en la base de datos en Internet para su posterior análisis. Esto permitió la posibilidad de un análisis temprano, comparando los resultados de la aplicación contra los simulados manualmente.

La cuarta y última etapa del proceso consiste en el modulo de análisis, apreciable en la figura 43. La aplicación extrae una a una todas las simulaciones de la base de datos y determina si la falla produjo un error, comparando la salida binaria del conversor antes de la inyección (estado de funcionamiento correcto) contra todos los demás puntos de la simulación. Con esto, la aplicación puede no solo determinar las inyecciones que producen errores, sino también la duración de los eventos y las variaciones de voltajes absolutas

respecto de los niveles de tensión normales. Para cada simulación, una fila con los datos es cargada en una tabla de formato estándar CSV (Comma Separated Values) y luego importada a una tabla final, de la cual se extraen todos los gráficos que permiten su posterior análisis.

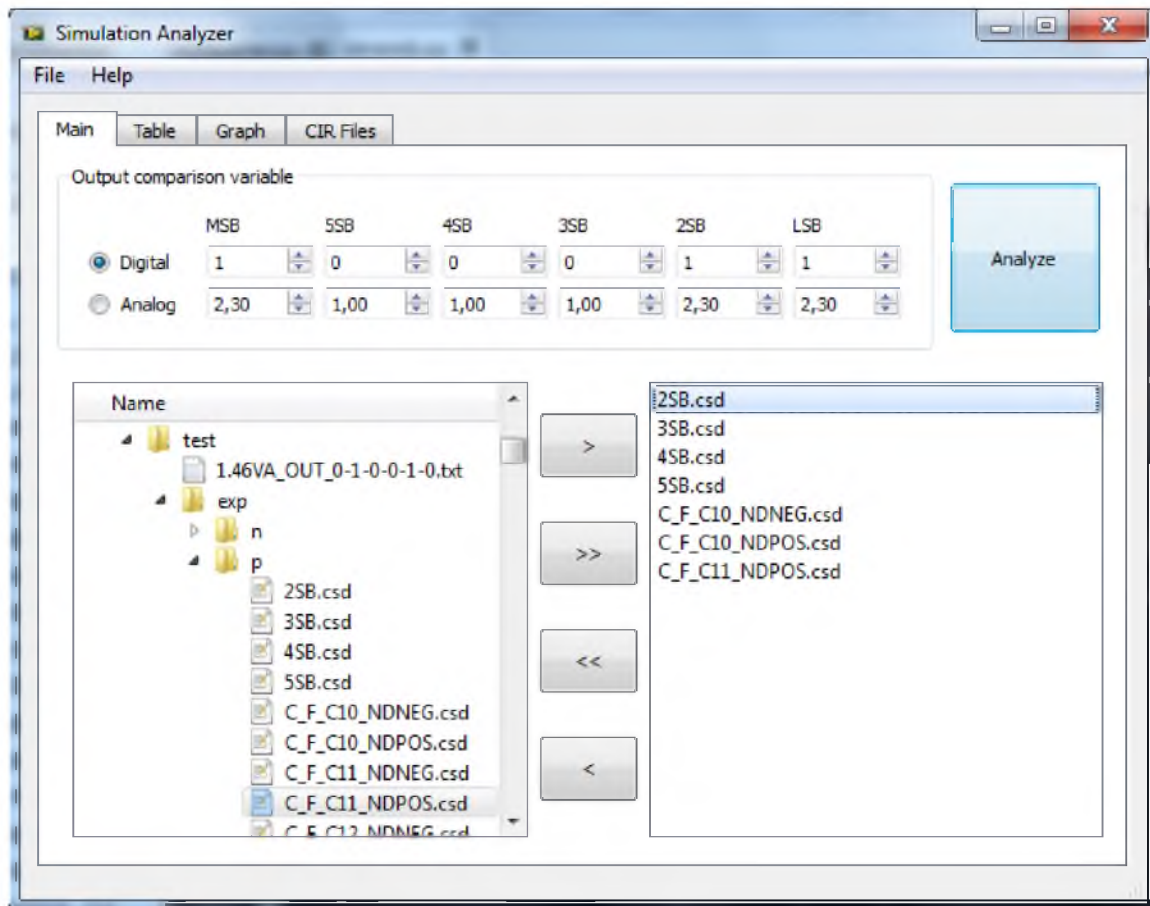


Figura 43) Módulo de análisis de las simulaciones. A la derecha se observan los archivos seleccionados para ser analizados.

Se puede observar en la figura 44, un ejemplo de una sección de la tabla que se genera a partir del módulo de análisis de la aplicación.

	A	B	C	D	E	F	G	H	I
1	FAIL	V _{in}	MOS TYPE	NODO INYECCION	ERROR	BITS CON FALLA	TIEMPO DE INICIO	TIEMPO DE FINAL	TENSION DE ERROR
2	slope	1.56	CMOS_P	C_F_C32_MSB	1	[0, 0, 0, 1, 0, 1]	[0, 0, 0, '3,3700085292E-09', 0, '7,5200001533E-09']	[0, 0, 0, '3,3700085292E-09', 0, '4,7426028869E-07']	[0, 0, 0, 1,001417, 0, 1,01663]
3	slope	1.63	CMOS_P	C_F_C32_MSB	1	[0, 0, 0, 1, 0, 1]	[0, 0, 0, '3,3700085292E-09', 0, '7,5600004579E-09']	[0, 0, 0, '3,3700085292E-09', 0, '4,9025595909E-07']	[0, 0, 0, 1,001398, 0, 1,00579]
4	exp	1.01	CMOS_N	C_F_C11_NDBIAS	0	[0, 0, 0, 0, 0, 0]	[0, 0, 0, 0, 0, 0]	[0, 0, 0, 0, 0, 0]	[0, 0, 0, 0, 0, 0]
5	exp	1.01	CMOS_N	C_F_C11_NDNEG	0	[0, 0, 0, 0, 0, 0]	[0, 0, 0, 0, 0, 0]	[0, 0, 0, 0, 0, 0]	[0, 0, 0, 0, 0, 0]

Figura 44) Tabla obtenida como resultado del análisis del programa.

La longitud de la tabla se extendió a más de 56.000 filas de datos y junto a la ayuda de un procesador de hojas de cálculo (Microsoft® Excel), se realizaron los análisis pertinentes a la campaña de inyección, generando sub-tablas y gráficos de los datos recopilados.

4.2) Presentación de Resultados

A continuación se presentan los resultados obtenidos del análisis de la figura 44.

Cantidad de errores totales discriminando tipos de falla:

Tipo de falla	Errores	Éxitos	Total	% Errores	% Éxitos
<i>Trapezoidal</i>	1991	26233	28224	7,054%	92,946%
<i>Exponencial</i>	206	26231	28224	0,73%	99,27%

Tabla 2) Tabla de porcentajes de errores según tipo de falla.

A partir de estos gráficos de torta, apreciamos que la inyección de la falla tipo trapezoidal genera mayor cantidad de errores de salida en el conversor. Como se mencionó anteriormente, este modelo de falla posee un inicio y fin de perturbación bien definido, a diferencia del modelo exponencial, cuya duración no posee un fin exacto. Sin embargo, en este tiempo, la falla tipo trapezoidal genera una mayor perturbación en el equilibrio de corrientes de los nodos afectados, permitiendo así que la falla se propague por la lógica decodificadora llegando a los bits de salida.

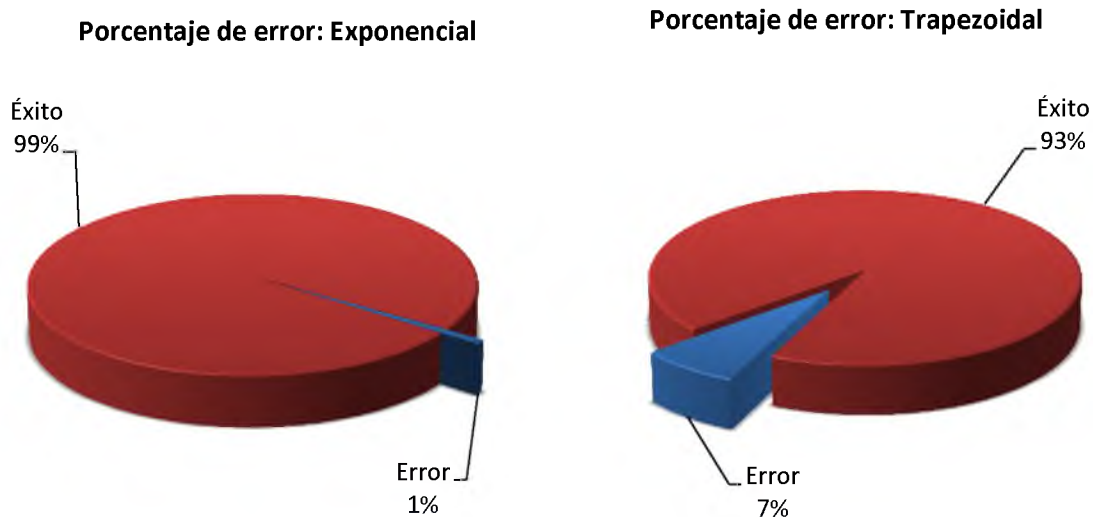


Figura 45) Porcentaje de errores según tipo de falla.

Cantidad de errores encontrados en función de la tensión de entrada y tipo de falla:

Nivel de tensión	Cantidad de errores	
	Rampa	Exponencial
1,01	4	1
1,02	3	1
1,03	6	1
1,04	3	1
1,05	6	1
1,06	5	1
1,07	10	1
1,08	3	1
1,09	8	1
1,10	6	1
1,11	12	1
1,12	5	1
1,13	12	1
1,14	9	1
1,15	18	1
1,16	12	1
1,17	13	1
1,18	17	1
1,19	19	2
1,20	15	2
1,21	18	2
1,22	21	2
1,23	26	2
1,24	13	2
1,25	18	2
1,26	20	2
1,27	26	2
1,28	17	2
1,29	24	2
1,30	25	2
1,31	33	1
1,32	34	4
1,33	35	6
1,34	35	5
1,35	37	5
1,36	39	5
1,37	42	5
1,38	41	5
1,39	46	5
1,40	35	5
1,41	40	5
1,42	38	5
1,43	44	5
1,44	41	5
1,45	47	5
1,46	44	5
1,47	53	5
1,48	43	5
1,49	44	5
1,50	48	5
1,51	50	5
1,52	50	5
1,53	53	5
1,54	56	5
1,55	61	5
1,56	44	5
1,57	49	5
1,58	51	5
1,59	57	5
1,60	52	5
1,61	59	5
1,62	60	4
1,63	68	5
1,64	68	4
Totales:	1991	206

Tabla 3) Tablas de fallas según nivel de tensión de entrada.

En la tabla 3 se puede observar una clara diferencia entre los errores producidos por ambos tipos de fallas. Para los dos casos, con el aumento progresivo de la tensión de entrada se genera un aumento de la cantidad de errores observados en la salida del convertidor. En el caso tipo exponencial (figura 47), el aumento generado es lento y de pocas variaciones, a comparación de los errores producidos en el caso tipo trapezoidal (figura 46) que aumentan progresivamente y con variaciones entre cada nivel de tensión.

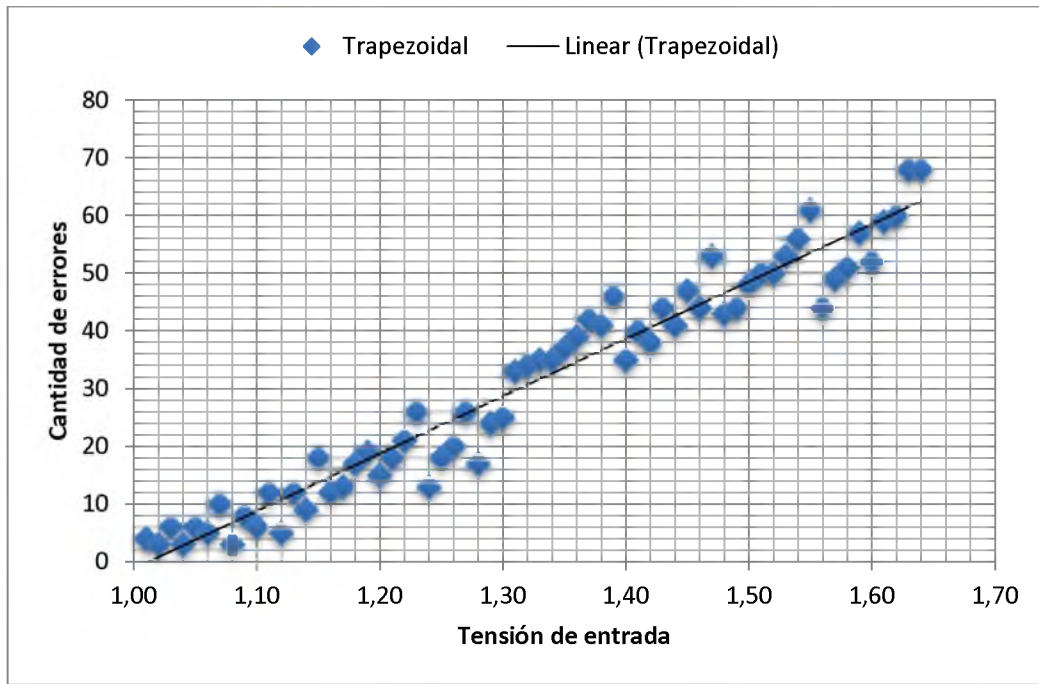


Figura 46) Gráfica de dispersión, cantidad de errores según tensión de entrada (falla rampa o trapezoidal).

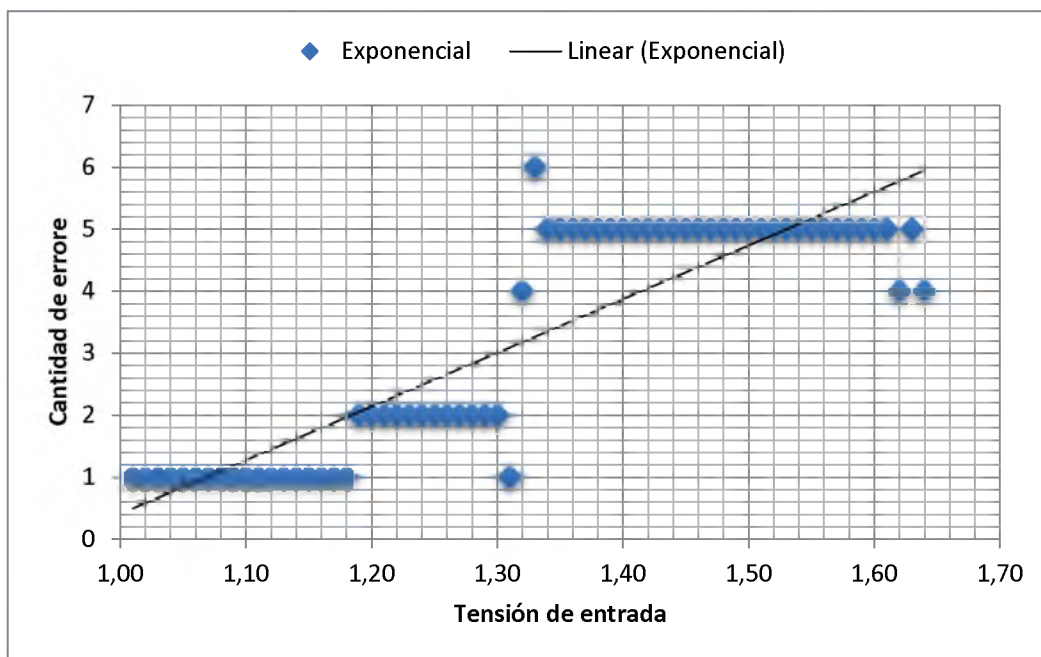


Figura 47) Gráfica de dispersión, cantidad de errores según tensión de entrada (falla exponencial).

Este tipo de resultados se apreció en los análisis realizados de manera manual (en el capítulo 3), en donde los únicos momentos en que se producían fallos en el transistor M12 (correspondiente al nodo NDOUT_P) era cuando la tensión de entrada era superior a la tensión de referencia, lo que nos daba una salida del comparador igual a CERO, o sea, cuando el transistor M12 se encontraba en estado “cortado”.

Cantidad de errores según comparador de inyección:

Comparador	Cantidad de errores	
	Trapezoidal	Exponencial
C1	57	0
C2	50	0
C3	56	0
C4	34	0
C5	55	0
C6	47	0
C7	54	0
C8	58	0
C9	53	0
C10	45	0
C11	52	0
C12	29	0
C13	51	0
C14	43	0
C15	50	0
C16	50	0
C17	41	0
C18	41	0
C19	40	0
C20	25	0
C21	39	0
C22	39	0
C23	38	0
C24	42	0
C25	37	0
C26	37	0
C27	36	0
C28	21	0
C29	35	0
C30	35	0
C31	34	0
C32	273	206
TOTAL		1991

Tabla 4) Cantidad de errores producidos según el comparador afectado por la falla.

De la tabla 4 se obtiene la grafica de dispersión en la figura 48, donde podemos ver la distribución de la cantidad de errores causados por las fallas según el comparador afectado por ellas. En el caso del modelo exponencial, el único comparador afectado resulta ser el comparador C32 (el que determina la mitad de rango de conversión), y para la falla trapezoidal, el más afectado de todos.

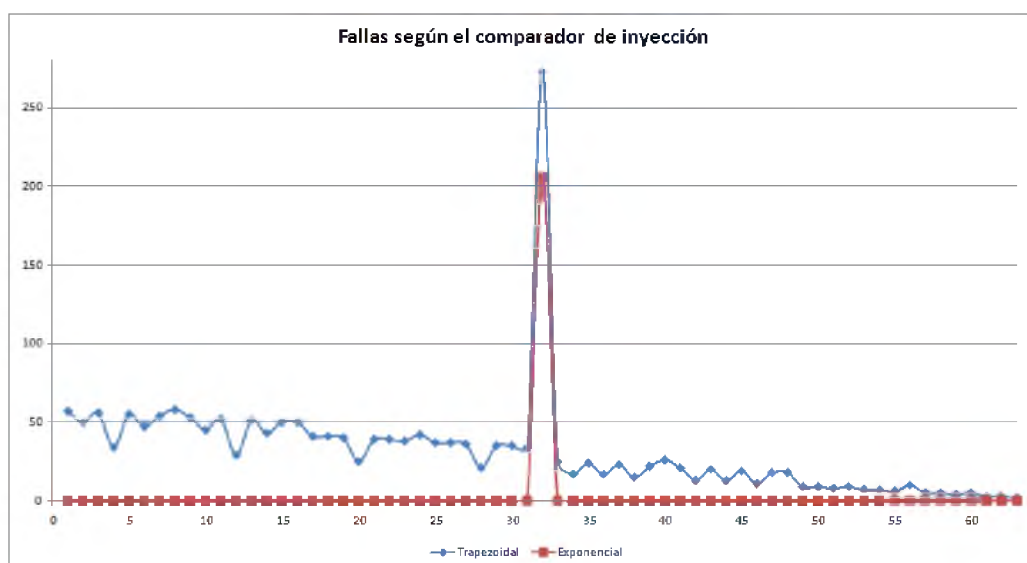


Figura 48) Grafica de dispersión, cantidad de errores causados según comparador afectado.

Cantidad de errores según nodo de inyección:

Nodo de inyección	Cantidad de errores	
	Rampa	Exponencial
NDNEG_N	33	33
NDPOS_N	33	33
NDBIAS_N	33	31
NDOUT_N	33	33
NDNEG_P	13	1
NDPOS_P	64	12
NDOUT_P	1782	63
TOTAL	1991	206

Tabla 5) Tabla de fallas según nodo de inyección.

De la tabla 5, se percibe que el nodo NDOUT_P (transistor M12 de cada comparador) es el nodo más sensible del circuito. Este nodo fue el único que generó fallos en la etapa de simulación manual realizada anteriormente.

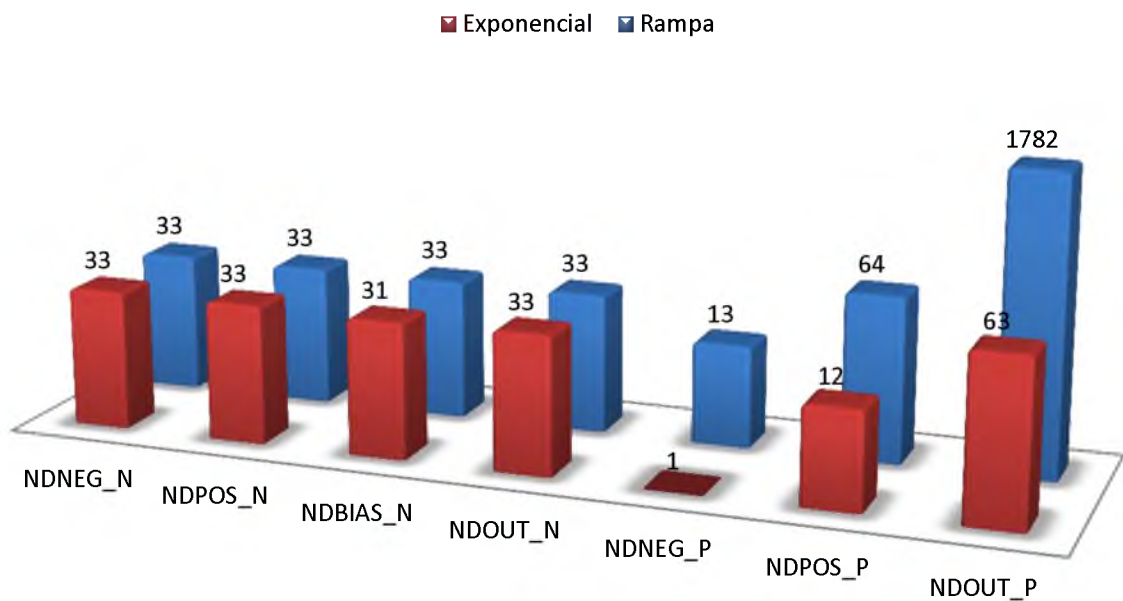
Errores según nodo de inyección

Figura 49) Grafica de barras de errores por nodos de inyección.

El nodo NDNEG_P (transistor M3) es el menos sensible del circuito, como se puede apreciar en la figura 49, generando la menor cantidad de fallas al ser inyectada la perturbación.

Distribución de errores según bit de salida:

Bit de salida	Cantidad de errores	
	Rampa	Exponencial
LSB	977	0
2SB	448	0
3SB	182	0
4SB	195	0
5SB	86	0
MSB	273	206
TOTAL	2161	206

Tabla 6) Tabla de falla generadas según bit de salida.

A partir de la tabla 6 podemos destacar que todos los errores generados por la inyección tipo exponencial repercutieron tan solo en el bit MSB (ocasionando el total de las fallas, figura 50). Realizando un pequeño análisis de la estructura interna del conversor, se deduce que el efecto causado por la falla exponencial afecta únicamente a este bit debido a que el mismo es una conexión directa de la salida de un comparador, evitando toda la lógica del decodificador que se ve involucrada en la determinación de los restantes bits.

Luego de un análisis de los resultados, se concluye que la lógica decodificadora posee un notable efecto de filtrado ante perturbaciones SET. Si bien el efecto repercute en ambos tipos de inyección, sobre las del tipo exponencial causó la eliminación total de los errores producidos a la salida de los comparadores conectados a esta lógica; sobre las del tipo trapezoidal, el efecto no fue tan importante.

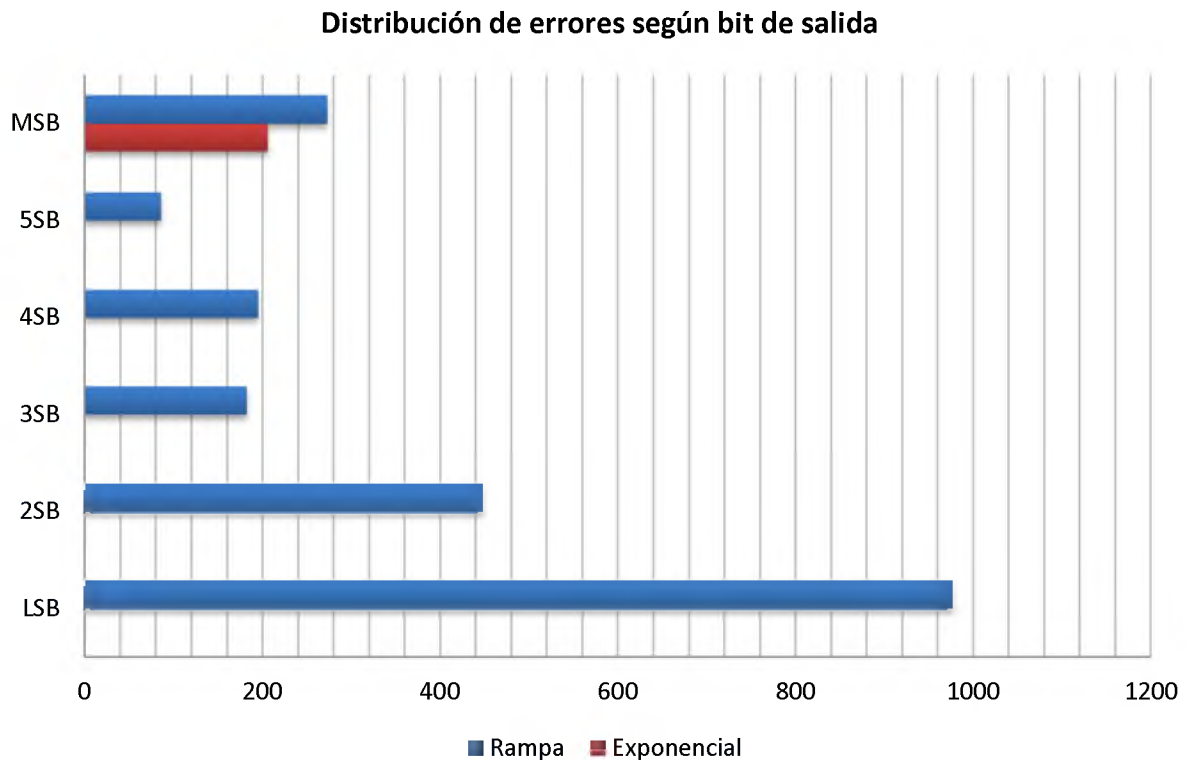


Figura 50) Gráfica de distribución de errores según bits de salida.

Una posible solución sería intercalar una estructura lógica que no modifique el valor de la salida binaria, como por ejemplo dos negadores en serie (APENDICE B).

Distribución de errores según variación de amplitud y duración del evento:

A continuación se presentan dos gráficos de dispersión en los cuales se analizan las duraciones de los eventos transitorios y las variaciones de amplitud de éstos. Los criterios utilizados para la condición de éxito/error son:

Según su amplitud:

- un CERO lógico, es todo valor de 'x' perteneciente al rango:
 $- 0.001V < x < 1.001V$. *
- un UNO lógico, es todo valor de 'x' perteneciente al rango:
 $2.299V < x < 3.301V$. *

*los rangos poseen una diferencia respecto a los límites definidos de UNO y CERO lógicos, para discriminar variaciones menores a 1mV.

Según su duración:

- un error está considerado como una variación de tensión mantenida por un tiempo mayor a 1ps (para valores menores, el simulador demostró tener problemas para converger).

Para el modelo exponencial se analizó el único bit erróneo, y para el modelo rampa el bit LSB, que fue el de mayor cantidad de errores (los gráficos de los restantes bits se encuentran en [APÉNDICE D]). En ambos gráficos se diferenciaron las inyecciones entre nodos NMOS y PMOS.

A continuación tenemos el análisis de la gráfica (figura 51) para el modelo exponencial:

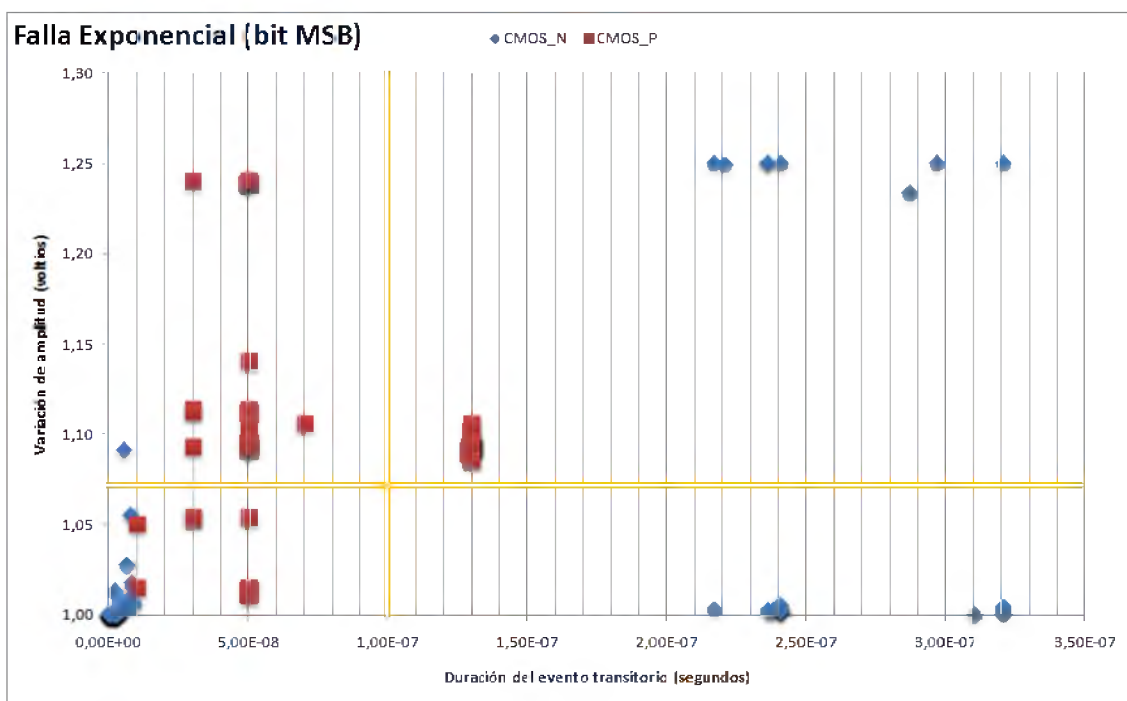


Figura 51) Gráfica de dispersión, fallas MSB por inyección exponencial.

La figura 51 se encuentra dividida en 4 cuadrantes, resultantes de la distribución equitativa de los puntos. Esto permitió clasificar los mismos en grupos según su duración y nivel de variación de tensión.

Se aprecia que la gran mayoría de los errores se encuentran ubicados en el cuadrante inferior izquierdo, lo que indican variaciones de amplitud pequeñas y de rápida recuperación.

Observando el cuadrante superior izquierdo, se encuentran principalmente las fallas causadas por inyección en nodos PMOS, lo que revela que son nodos más sensibles pero de rápida estabilización.

En el cuadrante superior derecho, encontramos similar cantidad de errores causados por inyección en transistores PMOS y NMOS, pero se percibe que los errores ocasionados a partir de inyecciones en nodos PMOS se encuentran agrupadas en un sector medio, indicando efectos similares de perturbación en todos ellos. A diferencia de los ocasionados por perturbaciones en los NMOS donde hay una clara variación en la duración de los eventos.

Por último, en el sector inferior derecho, se observan únicamente errores formados a partir de inyecciones en nodos NMOS, y de tiempos de recuperación más prolongados en comparación con los PMOS.

A continuación tenemos el gráfico (figura 52) de dispersión para las fallas en el bit LSB generadas por la inyección del modelo rampa.

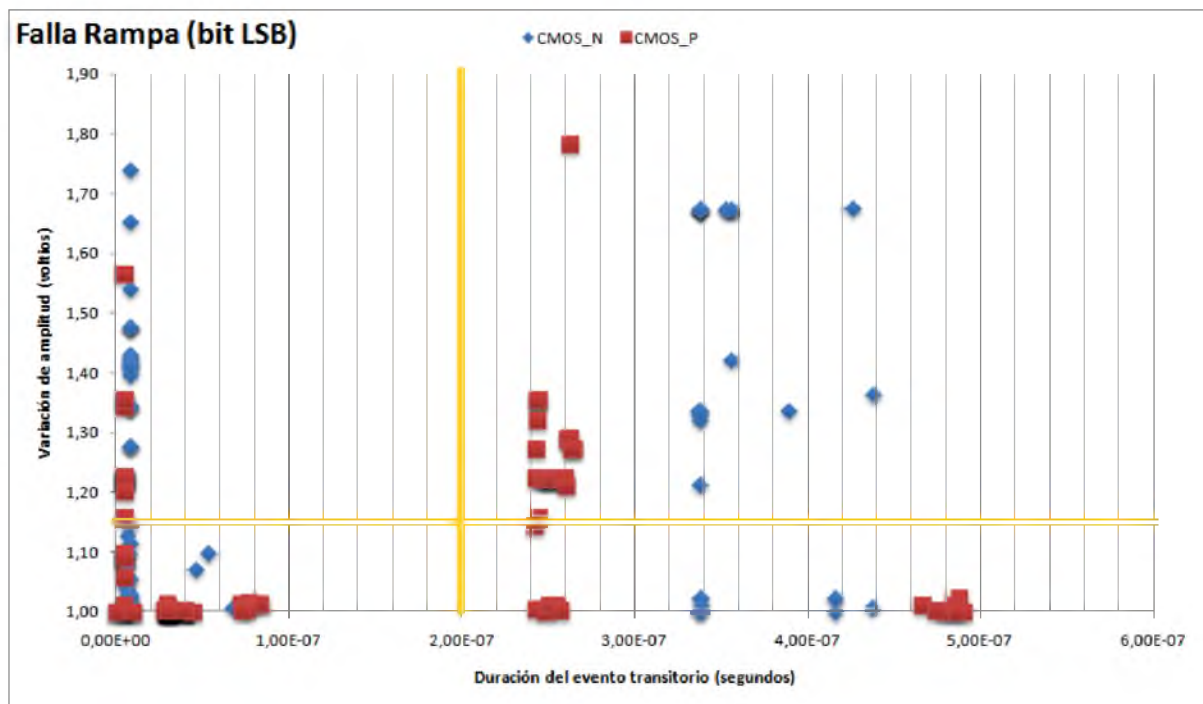


Figura 52) Gráfica de dispersión, fallas LSB por inyección rampa.

Manteniendo el mismo criterio que el análisis anterior, la figura 52 se divide en 4 cuadrantes. Podemos notar que más del 75% de los errores ocurridos en las simulaciones poseen variaciones menores a los 1.15 voltios y una duración de evento máxima de 100nS. El resto de los errores analizados poseen una duración mayor, entre 250 y 500nS, con variaciones bastante dispersas. Los transistores NMOS perturbados se encuentran dispersos en una franja

de tiempo entre 330 y 430uS, en cambio para los PMOS, la dispersión es mayor pero se divide en dos franjas muy acotadas, una entre los 240 y 260uS, y la otra entre los 480 y 500uS.

Distribución de errores según tipo de transistor y falla:

En esta sección se presentará un análisis de la sensibilidad del conversor a errores según el tipo de transistor en el cual se inyecta, y la sensibilidad de éstos al tipo de falla. La tabla 7 a continuación muestra la cantidad de errores en veces y en porcentual:

Tipo transistor	Cantidad de errores	
	Total	Porcentual
NMOS	262	12
PMOS	1935	88
	2197	100

Tabla 7) Tabla de fallas discriminados por tipo de transistor.

Como se puede observar en la figura 53, la sensibilidad de los transistores PMOS es considerablemente mayor que los NMOS, mostrando un 88% de errores para este tipo en la inyección trapezoidal y un 55% para la exponencial.

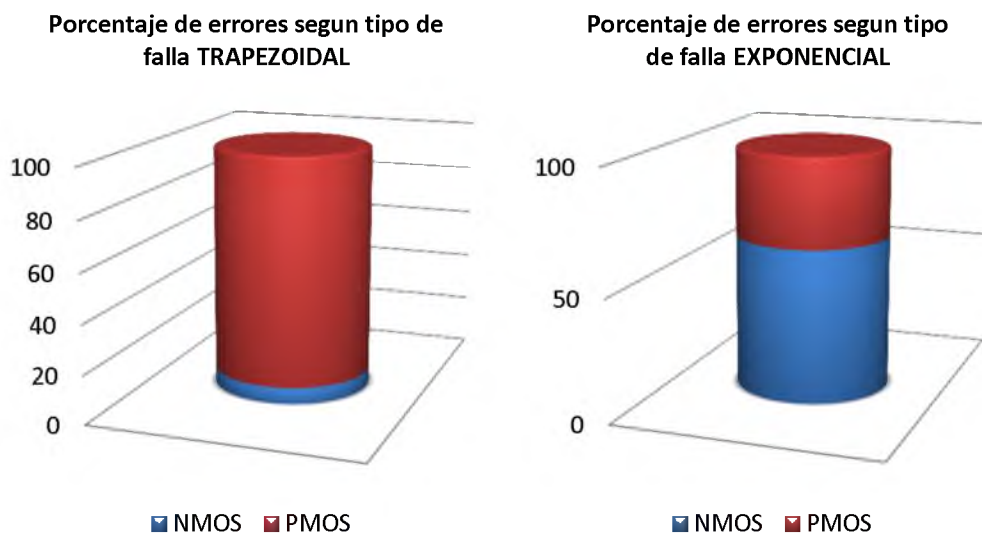


Figura 53) Gráfica porcentual de errores según tipo de modelo inyectado.

Si bien la sensibilidad es mayor para los transistores PMOS, el tipo de falla inyectada nos da otro indicio de las sensibilidades del conversor a los efectos de los ASETs.

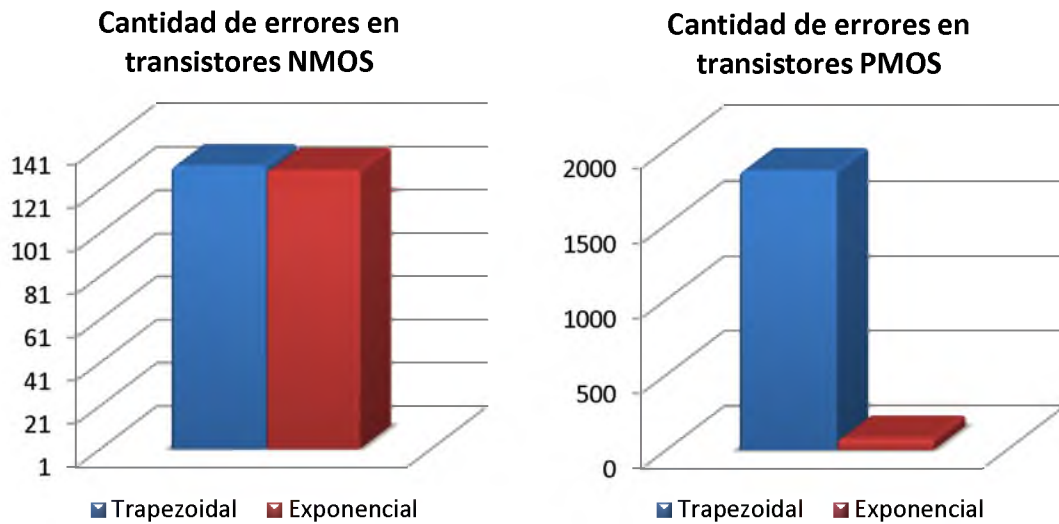


Figura 54) Gráficas de cantidad de fallas según tipo de transistor afectado.

Como se observa en la figura 54, la sensibilidad de los transistores NMOS a las fallas es prácticamente la misma. Sin embargo, la diferencia en la cantidad de errores para las inyecciones en los transistores PMOS muestra una fuerte discrepancia, revelando que los transistores PMOS son gravemente afectados por la inyección tipo rampa (o trapezoidal).

CONCLUSIONES

CONCLUSIONES

Como fue mencionado anteriormente, la constante evolución de los circuitos integrados y de los procesos litográficos, han permitido desarrollar dispositivos más potentes y eficientes, pero al mismo tiempo, los efectos producidos por los ASETs son más frecuentes, reduciendo así, la confiabilidad de los mismos. Durante años se analizaron los SEEs sobre estructuras digitales dejando un vacío en el campo analógico. El presente trabajo pretende contribuir al estudio de los ASETs aportando información sobre los efectos en conversores flash.

Para el análisis, se eligió una estructura de conversor tipo flash por sus características funcionales (analógica/digital) y su rol fundamental en sistemas integrados. Fue diseñado en base a requerimientos comunes para instrumental de medición y comunicación. Se llevaron a cabo los pasos de selección de tecnologías y topologías, el diseño y simulación individual y grupal de los diversos componentes. Luego se realizó un proceso de puesta a punto, que consistió en iterativos ajustes de dimensionamiento hasta su optimización. Estos procesos permitieron comprender en detalle su funcionamiento, necesario para luego realizar un correcto análisis de las campañas de inyección de fallas.

La campaña de inyección manual permitió comprender el efecto de los ASETs en los comparadores, como también, brindar un grupo confiable de resultados utilizado como base para la campaña automática. Debido a la cantidad de simulaciones y resultados a analizar, se optó por la creación del entorno virtualizado y el desarrollo de la aplicación para automatizar estos procesos.

Luego de las campañas se realizó un profundo análisis de los datos obtenidos. Se determinó la sensibilidad del circuito a los diferentes tipos de fallas, en base al porcentaje de error para cada una de ellas. Se estableció una clara dependencia entre el aumento de la sensibilidad del circuito con el aumento de la señal de entrada. Así también, se identificó al nodo más sensible de cada comparador. De un total de 2.197 errores, el 80% de ellos fueron sobre sus nodos de salida.

Analizando la sensibilidad según el tipo de falla, se puede observar como la falla exponencial solo afecta al comparador 32, mientras que, la falla trapezoidal afecta la mayoría de ellos, siguiendo una relación lineal que disminuye a medida que el comparador tiene una entrada de referencia de tensión más alta (a excepción del comparador 32). Esta excepción es claramente justificada por el efecto de filtrado que ofrece la lógica combinacional, no presente en el comparador 32.

Como continuación del presente trabajo, se podría analizar el efecto producido al adicionar dos inversores en serie a la salida del comparador 32. Esta modificación no alteraría la función lógica, pero si agregaría un efecto de filtrado similar al de las demás compuertas.

Por último, observando la sensibilidad de los transistores a los SETs, es evidente la diferencia entre los transistores del tipo P y los del tipo N. Los transistores del tipo P representan 2.023 errores contra 274 ocurridos por inyecciones en transistores N. Esto da una característica crucial del circuito para futuras mejoras.

APÉNDICE A

Elementos de un conversor flash

(Teoría)

APÉNDICE A: Elementos de un conversor flash (Teoría)

En este apéndice se pretende dar una breve explicación sobre el funcionamiento de los componentes del conversor flash. Se describirán las consideraciones tenidas en cuenta en el diseño y las maneras de evaluar y describir el funcionamiento de cada componente por separado.

COMPARADOR

El comparador es un circuito que compara dos señales y nos da como resultado una señal binaria indicando la mayor de ellas. En el sentido intrínseco, una señal binaria puede tener tan solo dos valores determinados en cualquier instante de tiempo, pero esta consideración es ideal, y en realidad, donde se realiza la transición de un estado a otro, existe una región donde la señal no se comporta con una binaria sino mas bien toma varios valores. Lo que un buen diseño busca, es una rápida transición de esta región.

Podemos clasificar a los comparadores en 3 categorías, comparadores de *Lazo Abierto*, *Regenerativos* y en una combinación de ambos que resultan ser extremadamente veloces. Los *Comparadores de Lazo Abierto* son básicamente amplificadores operacionales sin compensación. Los *Comparadores Regenerativos* utilizan realimentación positiva, similar a un amplificador de censado o a los Flip-Flops.

Caracterización del comparador

En la figura 55 se muestra el símbolo del comparador. Si un valor positivo es aplicado en la entrada v_p hará que la salida del comparado llegue a un valor positivo, y si es aplicado a la entrada v_n causará que la salida llegue a un valor negativo. Los niveles de excursión más altos y más bajos de la salida del comparador son definidos como V_{OH} y V_{OL} respectivamente.

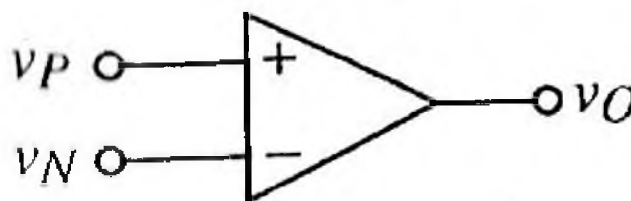


Figura 55) Circuito simbólico del comparador.

Características Estáticas

La figura 56 muestra la curva de transferencia de DC de los modelos de primer orden de un comparador realizable (no ideal). La diferencia entre este modelo y el anterior es la ganancia, la cual puede ser expresada como:

$$A_v = \frac{V_{OH} - V_{OL}}{V_{IH} - V_{IL}}$$

Donde $V_{IH} - V_{IL}$ representa la diferencia de los voltajes de entrada $v_p - v_n$ necesaria para saturar la salida en sus niveles límites superior e inferior, respectivamente. Ésta carga de entrada ($V_{IH} - V_{IL}$) es llamada *resolución* del comparador. En la ganancia se define la mínima cantidad de carga necesaria (*resolución*) para generar el cambio de estado de la salida entre los dos niveles binarios.

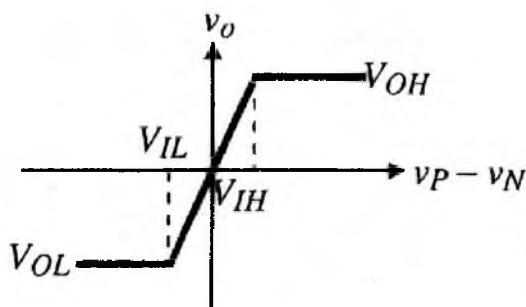


Figura 56) Curva de transferencia con ganancia finita.

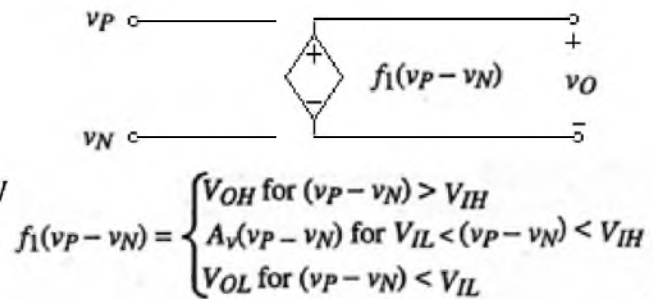


Figura 57) Modelo del comparador con ganancia finita.

La función de transferencia de la figura 56 es modelada por el circuito en la figura 57.

Si la salida no cambia hasta que la diferencia de los voltajes de entrada supere el valor $+V_{OS}$, entonces a ésta diferencia la definimos como *voltaje de offset* (figura 58).

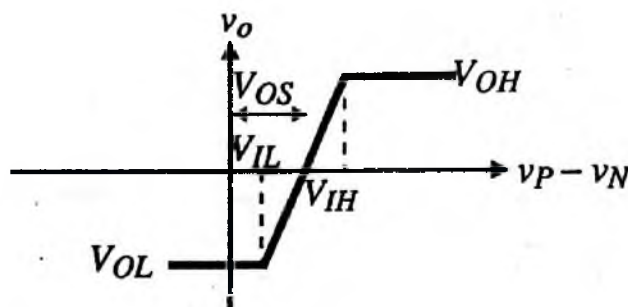


Figura 58) Curva de transferencia del comparador con offset de entrada.

Características Dinámicas

Las características dinámicas de un comparador abarcan comportamientos para pequeña y grande señal. La característica que marca el tiempo de retardo (delay) entre la señal de entrada y la transición de la señal de salida del comparador es conocida como *tiempo de respuesta*. La figura 59, ilustra la respuesta del comparador a una entrada en función del tiempo. Esta diferencia de tiempos es llamada *tiempo de retardo de propagación* " t_p " (propagation delay time) de un comparador, el cual usualmente varía en función de la amplitud de la señal de entrada. Una señal de entrada grande resulta en un retardo de propagación menor. Cuando se alcanza el límite para el cual un aumento de voltaje en la señal de entrada ya no afecta al tiempo de retardo de propagación, estamos en el modo de operación *slewing* o *slew-rate*.

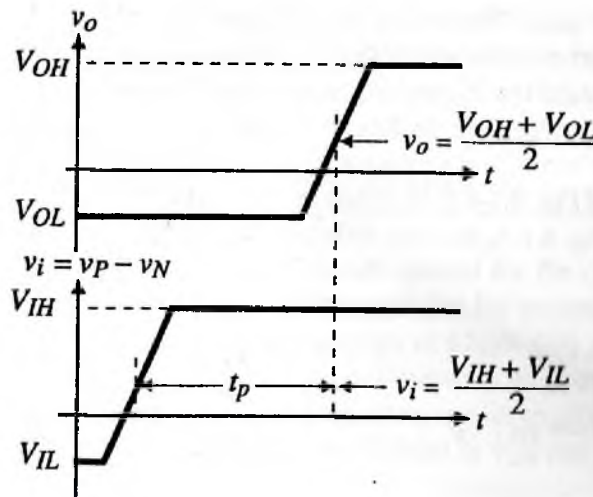


Figura 59) Tiempo de propagación de un comparador no-inversor.

Las características dinámicas de pequeña señal del comparador están definidas por su respuesta en frecuencia. Un modelo simple del comportamiento asume que la ganancia diferencial de voltaje, A_v , está dada por:

$$A_v(s) = \frac{A_v(0)}{\frac{s}{w_c} + 1} = \frac{A_v(0)}{s\tau_c + 1}$$

Donde $A_v(0)$ es la ganancia en DC del comparador y $w_c = 1/\tau_c$ es la frecuencia de -3dB del polo dominante.

Para una entrada de tipo escalón, la salida del comparador subirá (o caerá) con una respuesta exponencial de primer orden de V_{OL} a V_{OH} (V_{OH} a V_{OL}) como se muestra en la figura 60. Si V_{in} es más grande que $V_{in(min)}$, la salida subirá o caerá veces más rápido. Cuando $V_{in(min)}$ es aplicada al comparador, podemos escribir la ecuación:

$$\frac{V_{OH} - V_{OL}}{2} = A_v(0) * \left[1 - e^{-\frac{t_p}{\tau_c}} \right] * V_{in(min)} = A_v(0) * \left[1 - e^{-\frac{t_p}{\tau_c}} \right] * \left(\frac{V_{OH} - V_{OL}}{A_v(0)} \right)$$

$$t_p = \tau_c \ln \left(\frac{2k}{2k - 1} \right) \text{ donde } k = \frac{V_{in}}{V_{in(min)}}$$

Cuando se incrementa la tensión de entrada, entra en el modo de operación para gran-señal (figura 60) y los límites del *slew-rate* van a estar limitados por la capacidad de carga y descarga de capacitores por parte de los comparadores.

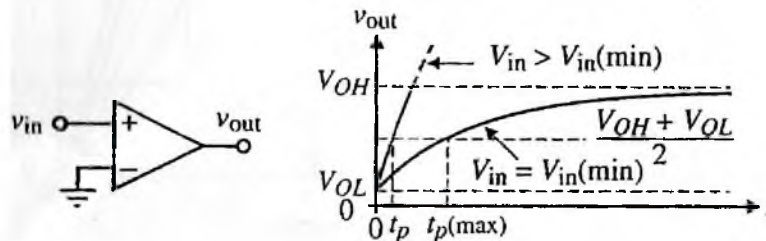


Figura 60) Respuesta transitoria de pequeña señal del comparador.

INVERSOR

El inversor CMOS es el bloque básico de diseño de circuitos digitales. En la figura 61 se ilustra la compuerta inversora, donde se muestra que el inversor realiza una operación de A a \bar{A} (invierte la entrada). Cuando la entrada del inversor es conectada a CERO, la salida es elevada a VDD a través del dispositivo PMOS de nombre M2 (y el transistor NMOS de nombre M1 es apagado). Cuando el terminal de entrada es conectado a VDD, la salida del dispositivo es reducida a CERO a través del transistor NMOS de nombre M1 (mientras que M2 es desconectado).

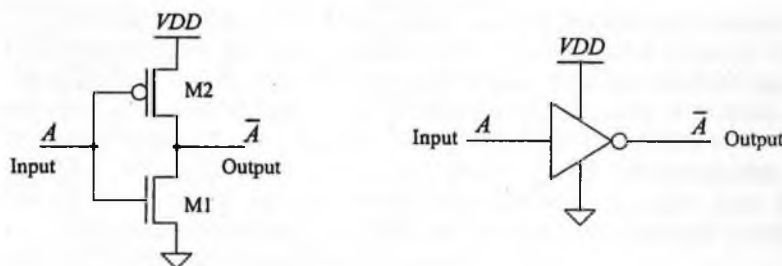


Figura 61) Esquemático y símbolo del inversor

Características DC de la compuerta inversora

Considerando la curva de transferencia de la figura 62 de la compuerta inversora, podemos observar que en la región 1 de la característica de transferencia, el voltaje de entrada es lo suficientemente bajo (típicamente menos que el voltaje de disparo V_{THP} de M1), entonces M1 está apagado y M2 encendido ($V_{SG} \gg V_{THP}$). A medida que V_{in} se incrementa, ambos transistores M1 y M2 se encienden (región 2 de la curva característica). Al seguir aumentando V_{in} produce que M2 se apague y M1 se encienda completamente, como se muestra en la región 3 de la curva.

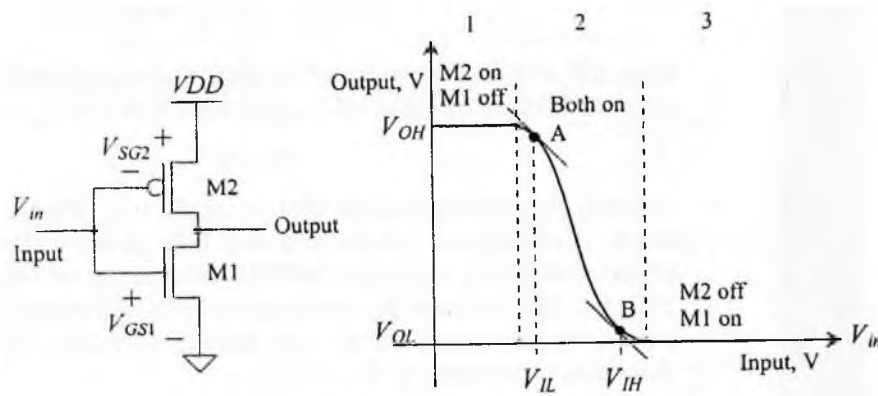


Figura 62) Esquemático y CTV del inversor.

La máxima salida en nivel “alto” es identificado como V_{OH} y la mínima salida en estado “bajo” lo identificamos con V_{OL} . Los puntos A y B en la curva se encuentran definidos por la pendiente -1 de la curva de transferencia.

Márgenes de ruido:

El margen de ruido de un circuito o compuerta digital indica que tan bien se va a desempeñar la entrada de los transistores (GATE) bajo condiciones de ruido.

$$NM_H = V_{OH} - V_{IH}$$

$$NM_L = V_{IL} - V_{OL}$$

Punto de transición:

Considerando la función de transferencia de voltaje representada en la figura 63, el punto C corresponde al punto de la curva en el que los voltajes de entrada y salida sean iguales. En este punto, el voltaje de entrada (o salida) es llamado *punto de cambio de voltaje*, V_{SP} , y ambos MOSFETs en el inversor se encuentran en la región de saturación.

La fórmula del punto de transición queda expresada a contrinuacion:

$$V_{SP} = \frac{\sqrt{\frac{\beta_n}{\beta_p}} * V_{THN} + (V_{DD} - V_{THP})}{1 + \sqrt{\frac{\beta_n}{\beta_p}}}$$

La representación del mismo se parecía en la figura 63:

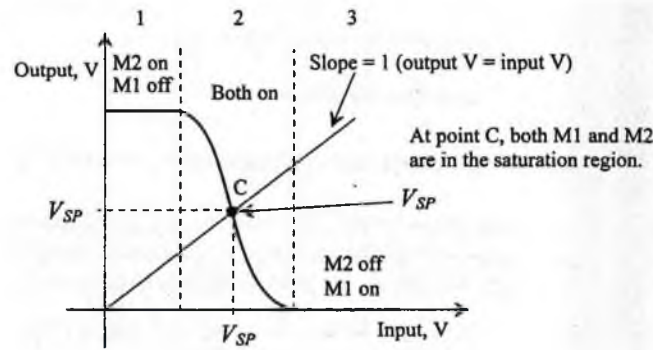


Figura 63) Curva de transferencia de tensión VTC del inversor (V_{SP})

Características de Transición de la compuerta inversora

El comportamiento transitorio del inversor puede ser generalizado examinando las capacidades parásitas y las resistencias asociadas con el mismo (figura 64).

$$C_{in} = \frac{3}{2}(C_{ox1} + C_{ox2}) = C_{inn} + C_{inp}$$

$$C_{out} = C_{ox1} + C_{ox2} = C_{outn} + C_{outp}$$

Y el tiempo de propagación intrínseco de la compuerta:

$$t_{PLH} = 0.7 * R_{p2} * C_{out}$$

$$t_{PHL} = 0.7 * R_{n1} * C_{out}$$

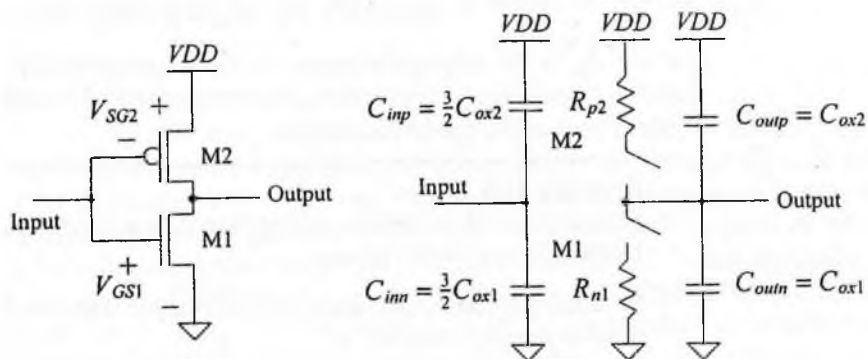


Figura 64) Esquemático y modelo transitorio del inversor.

COMPUERTAS

El esquemático de las compuertas NAND de 2 entradas se muestra en la figura 65. Cada entrada está conectada al *Gate* de un PMOS y de un NMOS.

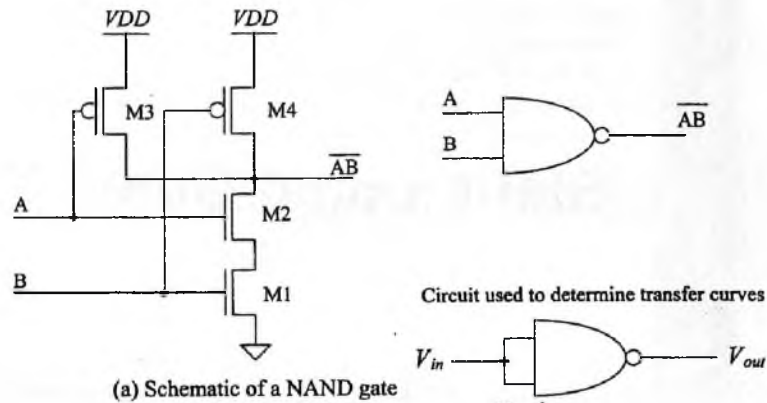


Figura 65) Esquemático y símbolos lógicos de compuertas NAND.

Características DC de la compuerta NAND

Para que la salida de la compuerta NAND de la figura 65 cambie el estado a nivel bajo (CERO lógico), es necesario que ambas entradas se encuentren en el estado lógico alto (UNO lógico).

La curva de transferencia de voltaje (VTC o *Voltaje-Transfer-Curve*) de la compuerta NAND (figura 66) considerando que los dispositivos PMOS se encuentran dimensionados de la misma manera, con ancho W_p y largo L_p iguales, y que los dispositivos NMOS están también dimensionados en ancho W_n y largo L_n iguales. Ahora si ambas entradas están conectadas entre ellas, la compuerta NAND se comportaría como un Inversor.

Para el paralelo de los dos PMOS de la figura 65, podemos escribir:

$$W_3 + W_4 = 2W_p$$

Asumiendo que todos los PMOS están igualmente dimensionados, la transconductancia de estos MOSFETs también puede ser combinada y escribirla como:

$$\beta_3 + \beta_4 = 2\beta_p$$

Los dos NMOS conectados en serie (con sus *Gates* conectadas entre sí) lo podemos escribir como:

$$L_1 + L_2 = 2L_n$$

Y su transconductancia quedaría como:

$$\beta_1 + \beta_2 = \frac{\beta_n}{2}$$

Debido a la configuración del modelo, podemos escribir la transconductancia total de la compuerta NAND como:

$$\text{Transconductancia de la compuerta NAND} = \frac{\beta_n}{4\beta_p}$$

Ahora podemos determinar el valor de cambio de estado para compuertas NAND de “n” entradas como:

$$V_{sp} = \frac{\sqrt{\frac{\beta_n}{4\beta_p} * V_{THN} + (V_{DD} - V_{THP})}}{1 + \sqrt{\frac{\beta_n}{N^2\beta_p}}}$$

Esta ecuación es derivada bajo la consideración de que todas las entradas estén conectadas entre sí.

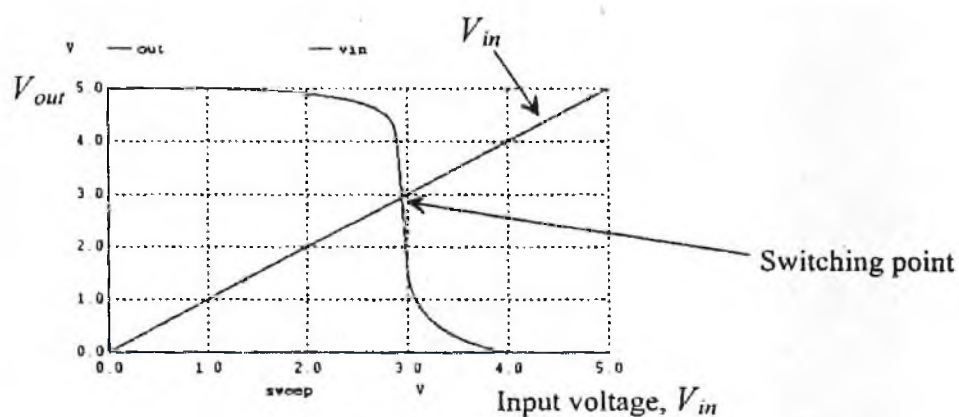


Figura 66) VTC de una compuerta NAND de 3 entradas.

Características de cambio de la compuerta NAND

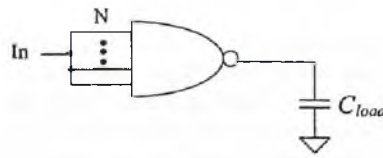


Figura 67) Compuerta NAND de N entradas con una capacitancia C_{load} como carga.

Considerando la compuerta NAND de N entradas de la figura 67 con una carga capacitiva en la salida C_{load} , el tiempo de transición de bajo a alto nivel quedaría:

$$t_{PLH} = 0.7 * \frac{R_p}{N} * \left(C_{oxp} * N + \frac{C_{oxn}}{N} + C_{load} \right)$$

Y el tiempo de propagación de nivel alto a bajo quedaría:

$$t_{PHL} = 0.7 * R_n * N * \left(C_{oxp} * N + \frac{C_{oxn}}{N} + C_{load} \right) + 0.35 * R_n * C_{oxn} * N^2$$

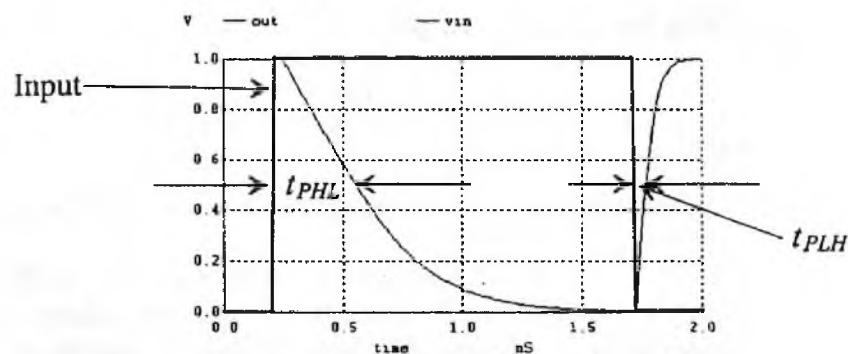


Figura 68) Simulación de una compuerta NAND de 3 entradas con una capacitancia de carga de 50fF.

CONVERSION

Hay diversos algoritmos y formas de realizar un conversor analógico/digital ofreciendo diferentes ventajas y desventajas. La relación de compromiso se da entre la resolución de conversión, velocidad y economía (haciendo referencia a la complejidad del circuito, el área del mismo en el chip, la potencia de disipación, etc.), ofreciendo gran cantidad de opciones. Diferentes aplicaciones obviamente requieren diferentes parámetros.

Clasificando a los ADCs según su velocidad de conversión, tenemos 3 categorías:

ADCs de Alta Velocidad: la señal analógica es muestreada a la misma velocidad que la señal de reloj, o a la mitad de su frecuencia. A pesar de ello, existe una constante de tiempo de retardo (latency) entre el tiempo en que la muestra de la señal analógica entra al conversor y la señal digital generada aparece en la salida. Ejemplos son los conversores Flash, pipeline, de

interpolación, etc. Tienen rangos de conversión de entre 0.5 MS/s hasta 10 GS/s, con resoluciones entre 6 a 12 bits.

ADCs de Media Velocidad: para N-bits de ADCs se requieren N períodos de reloj para cada muestra analógica. Esto hace que la conversión sea N veces más lenta que el reloj. Las implementaciones más típicas incluyen varios conversores seriales (conversores de sucesivas aproximaciones). Los rangos de conversión se encuentran entre 0.1 MS/s y 0.5 MS/s con resoluciones de 10 a 14 bits.

ADCs de Baja Velocidad: para resoluciones de N-bits se requieren aproximadamente 2^N períodos de reloj para cada conversión de muestra analógica, lo que los hace de muy baja velocidad operativa. Son utilizados con señales constantes o de muy baja velocidad de variación. Ejemplos son circuitos integradores o de conteo, tal como conversores simple o doble rampa. Su resolución se encuentra en los rangos de 15 a 24 bits.

Parámetros característicos del conversor A/D

El diagrama en bloque de un ADC se muestra en la figura 69. La entrada analógica (típicamente v_{in}) es normalizada a un voltaje de referencia V_{ref} y su nivel de voltaje es convertido en una señal digital de N-bits llamada B_{out} , formada por b_1, b_2, \dots, b_n . Bajo condiciones ideales, ignorando el ruido y las imperfecciones de los componentes, la relación entre estas tres señales es: $B_{out} = b_1 2^{-1} + b_2 2^{-2} + \dots + b_n 2^{-n} = \frac{v_{in} + v_q}{V_{ref}}$

Donde v_q es el error de cuantificación generado por el número finito de bits N usados en la conversión. Este error es inherente al proceso y puede ser reducido solamente aumentando el número de bits utilizados o reduciendo la tensión de referencia V_{ref} .

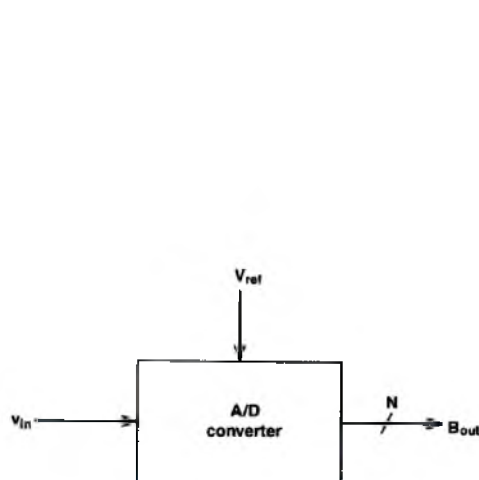


Figura 69) Diagrama en bloques del conversor analógico-digital.

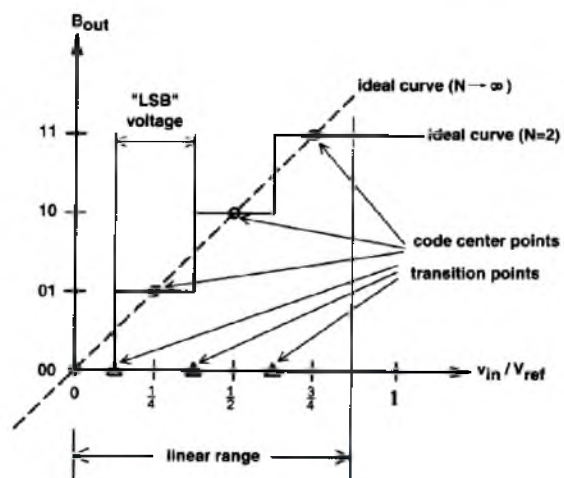


Figura 70) Función de transferencia de un ADC para 2 bits.

La función de transferencia salida-entrada del conversor se ilustra en la figura 70 para $N=2$; el error de cuantización v_q es la diferencia entre la curva sólida en forma de escalera (la característica actual del dispositivo) y la línea punteada (que representa a la curva ideal para un número infinito de N). Definimos el Voltaje *Bit Menos Significativo* (*LSB o Least-Significant-Bit*) $V_{LSB}=V_{ref}/2^N$. En este caso, $V_{LSB}=V_{ref}/4$ para $N=2$. Como se observa en la figura 70, la tensión v_q no puede exceder la tensión $V_{LSB}/2$ mientras v_{in} permanezca en el rango entre 0 y $(V_{ref} - V_{LSB}/2)$. Esto es llamado *Rango de conversión lineal (Lineal-Conversion-Range)* de un ADC, para valores de v_{in} fuera de este rango, el conversor se satura y el valor absoluto de v_q ya no es limitado por $V_{LSB}/2$. La figura también muestra los voltajes de transición de estado ($V_{ref}/8$, $3V_{ref}/8$ y $5V_{ref}/8$), los cuales determinan la tensión de la señal de entrada v_{in} para los cuales B_{out} cambia su valor.

En la práctica, la conversión ideal que se ilustra en la figura 70 no se puede llevar a cabo, los voltajes de umbral que son múltiplos pares de $V_{LSB}/2$ ocurrirán a diferentes valores de v_{in} , produciendo varios errores. Algunos de los errores más comunes se representan en la figura 71 y figura 72. En la figura 71 se observa la función de transferencia característica con error de offset, el cual se manifiesta en un movimiento lateral de la curva. El error de ganancia es ilustrado en la figura 72, donde el umbral de voltaje permanece igualmente separado, pero esa separación ya no es más V_{LSB} , que sería la correcta.

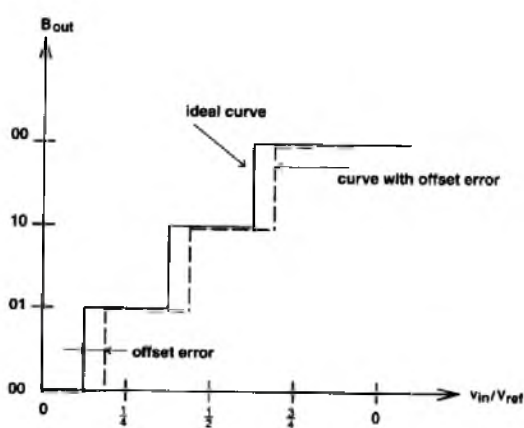


Figura 71) Función de transferencia para un ADC de 2 bits con y sin error de offset.

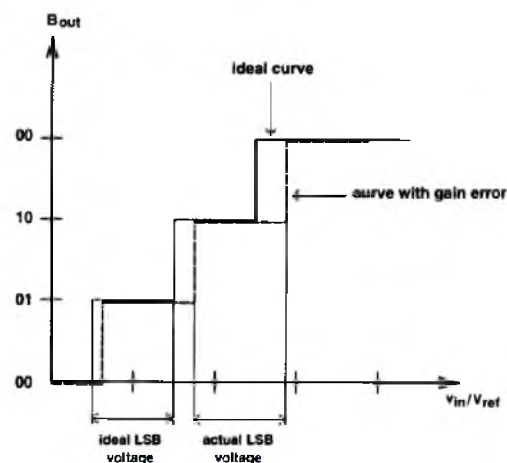


Figura 72) Función de transferencia para un ADC de 2 bits con y sin error de ganancia.

Ambos errores de ganancia y offset son errores lineales, no distorsionan la señal de entrada, solo generan un escalamiento y desplazamiento de la misma. Una distorsión mucho más preocupante resulta de la separación desigual e inevitable de las tensiones de umbral, el cual sí genera errores de no-linealidad. Dos errores de no-linealidad son representados en la figura 73 y figura 74.

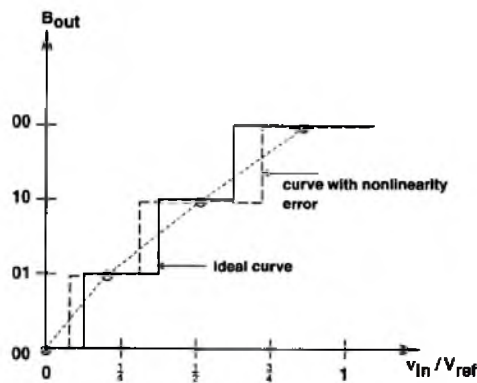


Figura 73) Función de transferencia de un ADC de 2 bits con y sin errores de no-linealidad.

Los errores de *Bit-Perdido* o *Missing-Code* (figura 74) se dan por las excesivas desviaciones acumulativas de las tensiones de umbral, generando así la pérdida de una conversión, lo cual es inaceptable en la práctica.

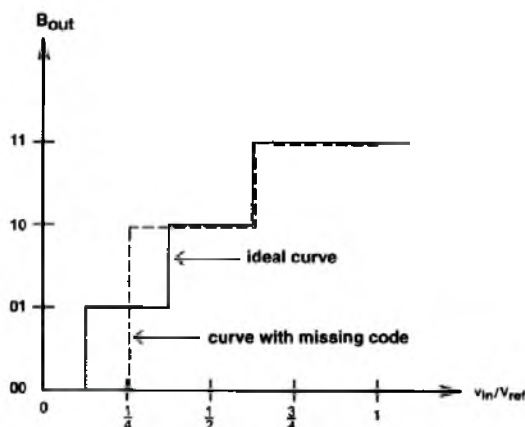


Figura 74) Función de transferencia de un ADC de 2 bits con y sin errores de Missing-Code.

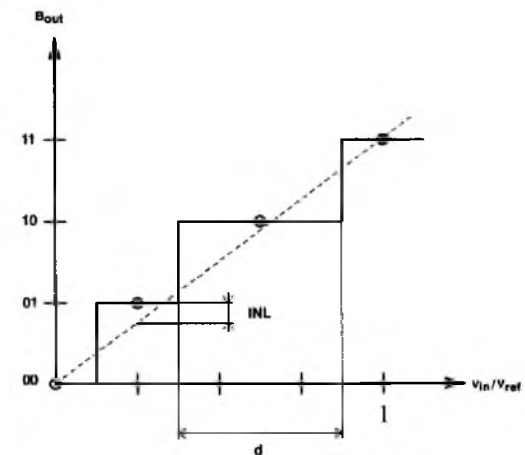


Figura 75) Función de transferencia no lineal demostrando los errores de INL y el peor caso de diferencia de transición.

Los errores de no-linealidad son generalmente cuantificados por los valores de sus Error No-Linealidad Integral (Integral-Nonlinearity error o INL) y Error No-Linealidad Diferencial (Differential-Nonlinearity error o DNL). Los INL son definidos por la mayor diferencia vertical (expresada en LSBs) entre los puntos del centro de codificación (code center points) de la característica actual de la curva y la línea que se conecta en forma recta con el punto final (endpoint), ilustrado en la figura 75. El DNL es definido como la mayor desviación entre la actual diferencia entre dos voltajes de umbral adyacentes y el valor de diferencia ideal (V_{lsb}).^[1]

¹ Roubik Gregorian, "Introduction to CMOS OP-AMPS and Comparators", páginas 255-263.

APÉNDICE B

Especificaciones de diseño

APÉNDICE B: Especificaciones de diseño

En este apéndice se presentará información extra sobre el proceso de diseño, se ilustrarán esquemáticos y analizará las interconexiones internas del conversor, de la lógica combinacional, simulaciones de verificación e información extra utilizada durante el proceso de diseño y análisis.

COMPARADOR

Para la caracterización se realizaron varios análisis extras. Las gráficas e información faltantes en la documentación se encuentran a continuación.

El esquemático del comparador y el dimensionamiento de sus transistores se ve representado en la figura 76. Se trata de un comparador de arquitectura de dos etapas, Miley sin compensación. El dimensionamiento de transistores se realizó tal que la ganancia del comparador permita resoluciones de señal de entrada del orden de los mili voltios y retardos de respuesta menores a 10uS.

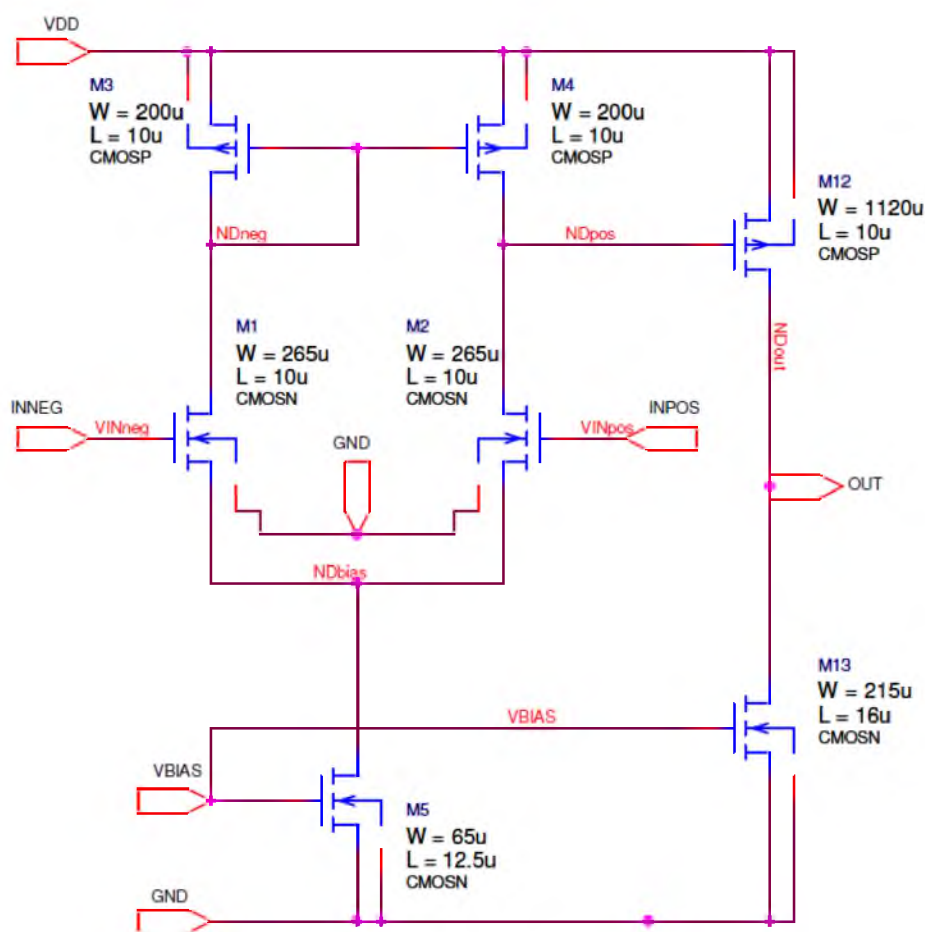


Figura 76) Esquemático del comparador y dimensiones de sus transistores.

El esquemático de la figura 76 cuenta con un par diferencial de salida única (Single Ended) como primera etapa, y un negador drenador de corriente en la segunda etapa. La entrada inversora del comparador es identificada con el nombre de VINneg y corresponde con la entrada de la señal a convertir. La entrada no negadora se identifica como VINpos y corresponde con la entrada de la tensión de referencia proveniente de la cadena de resistencias. La salida del comparador es identificada como NDout.

Con ambas etapas se logra una ganancia de salida $V_{out}/V_{in} > 24500$ veces. Esto se logró luego de iterativas pruebas de aumento de la resistencia R_d en los nodos NDpos y NDout y definiendo una corriente de Bias para la etapa diferencial de 105uA y para el negador drenador de corriente de 1.05mA. Se realizaron pruebas para comprobar la ganancia total y offset que dicho diseño incorporaba, los cuales debían de ser mínimos para lograr una conversión más exacta. La ganancia y el offset se aprecian en la figura 77 a continuación (las restantes en el capítulo 2).

Barrido de tensión continua y ganancia:

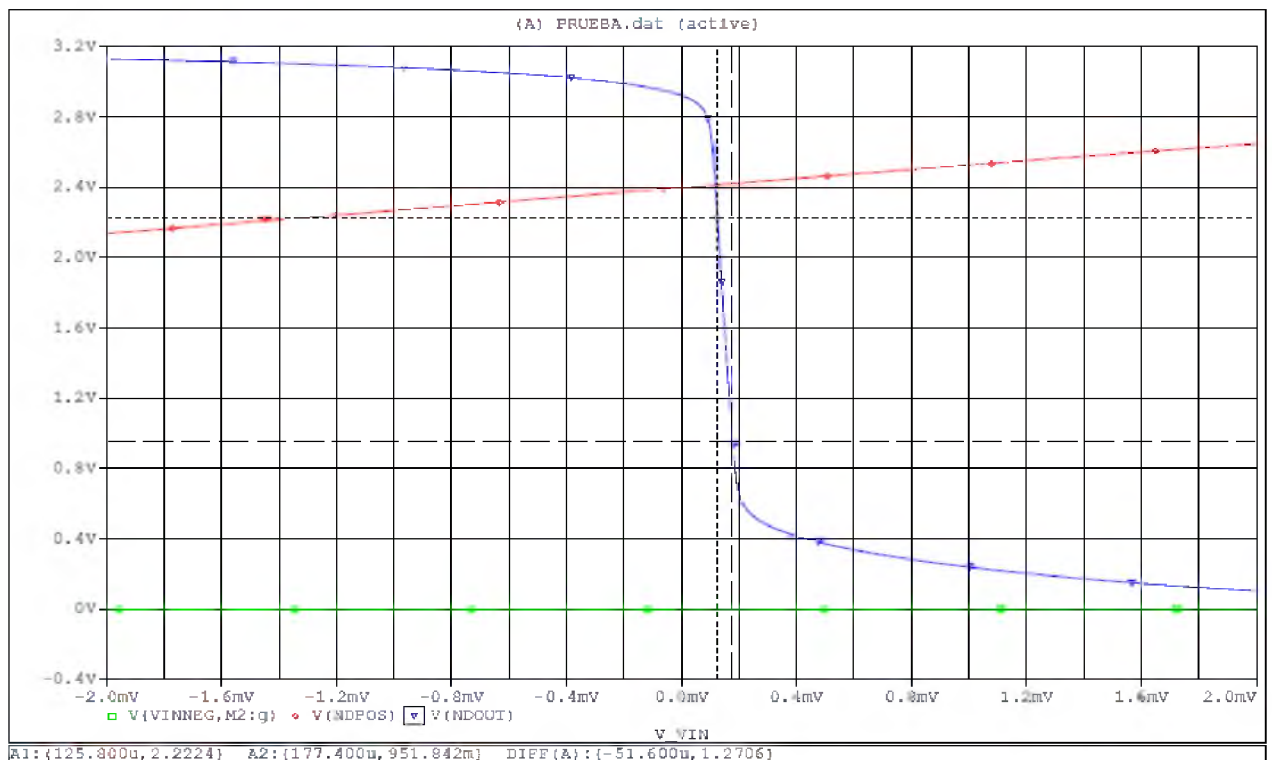
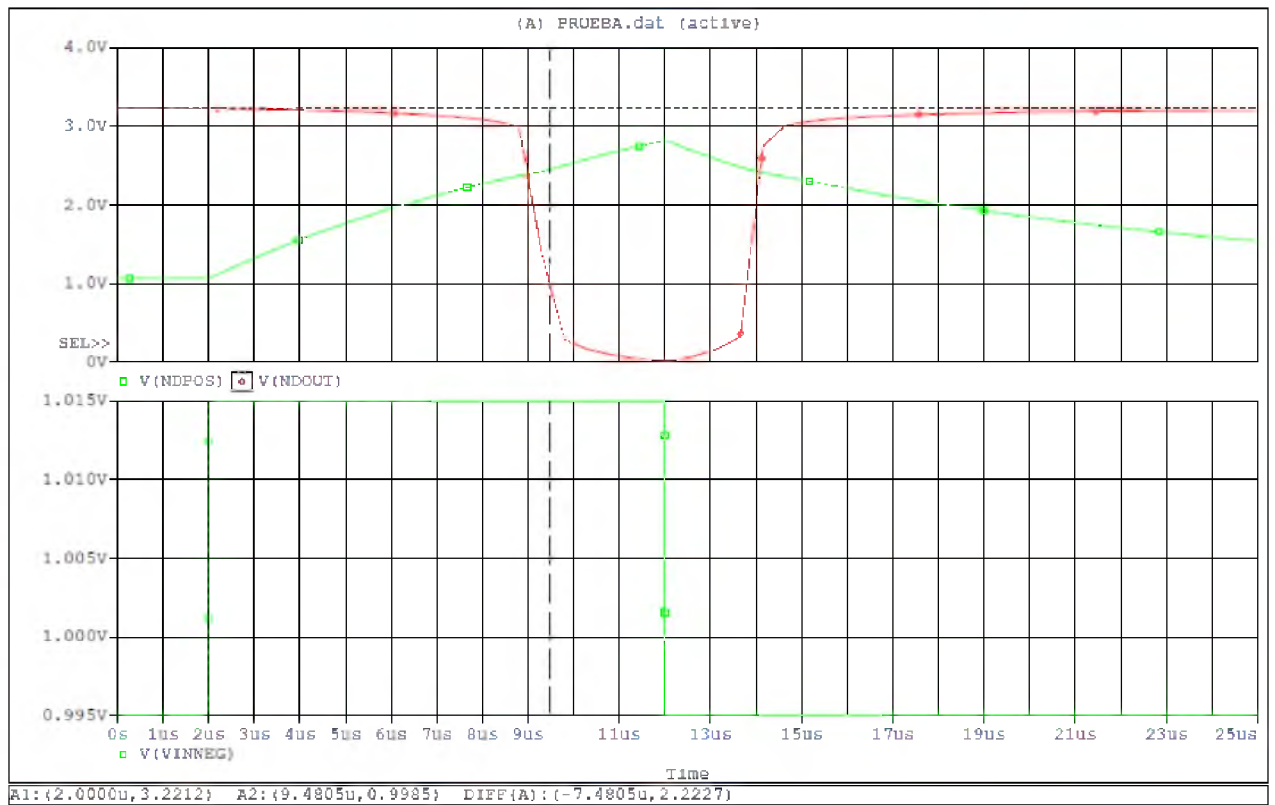
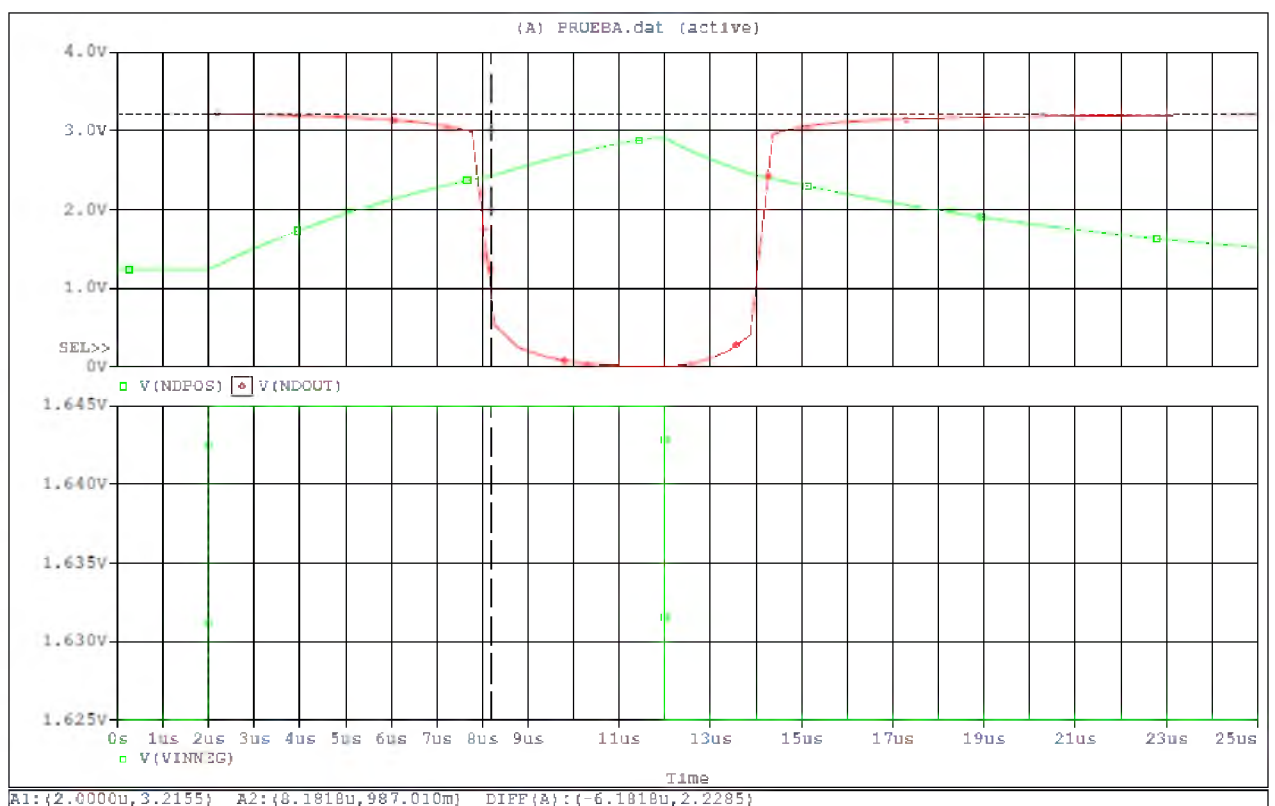


Figura 77) Barrido de tensión continua con $V_{CM}=1.315V$.

En la figura 78 y figura 79 se presentan los tiempos de retardos de subida y de bajada del comparador para dos tensiones de referencia distintas, y se comprueba que dichos retardos no superan los 10uS anteriormente planteados como límites.

Figura 78) Transitorio con $V_{CM}=1.005V$.Figura 79) Transitorio con $V_{CM}=1.625V$.

COMPUERTAS

A continuación podemos ver la topología clásica de diseño de compuertas MOS (figura 81) y las dimensiones individuales de cada transistor para las distintas compuertas realizadas para el flash (tabla 8). Como ya se mencionó en el APÉNDICE A, las dimensiones W de los transistores conectados en paralelo se suman, y las dimensiones L de los transistores en serie también.

Se realizaron 7 tipos de compuertas, todas con la misma topología. Los dimensionamientos fueron tales que las curvas de transferencia de voltaje (VTC) sean similares para todas ellas, con el fin de mejorar la precisión del decodificador y de reducir el rango de tensiones en los cuales las compuertas generaban salidas con valores dentro de la zona de indeterminación de la lógica.

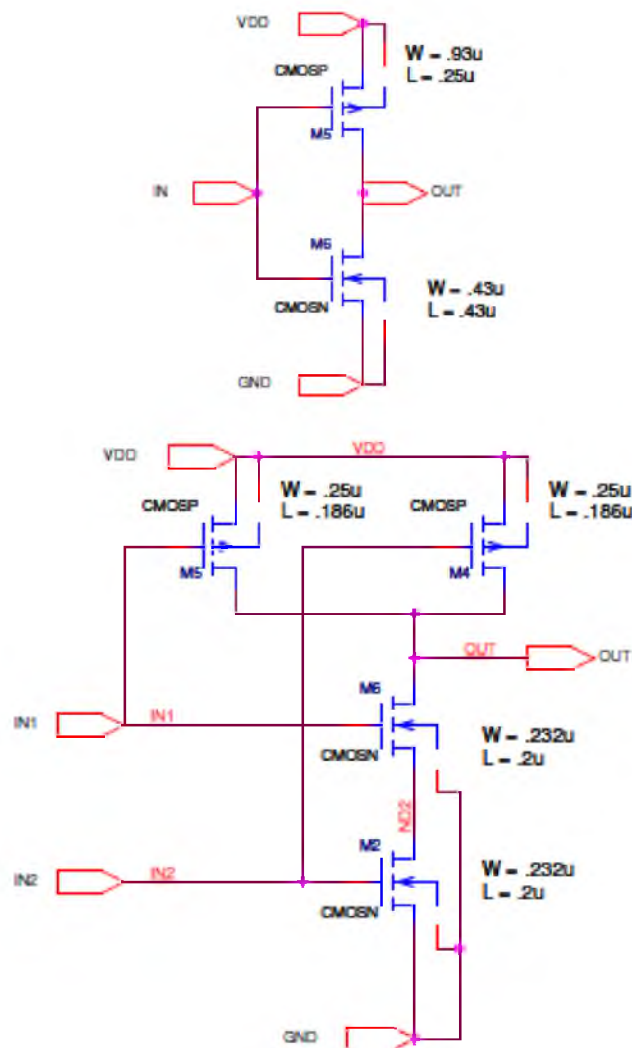


Figura 80.a) Esquemático de compuertas (NEG y NAND2)

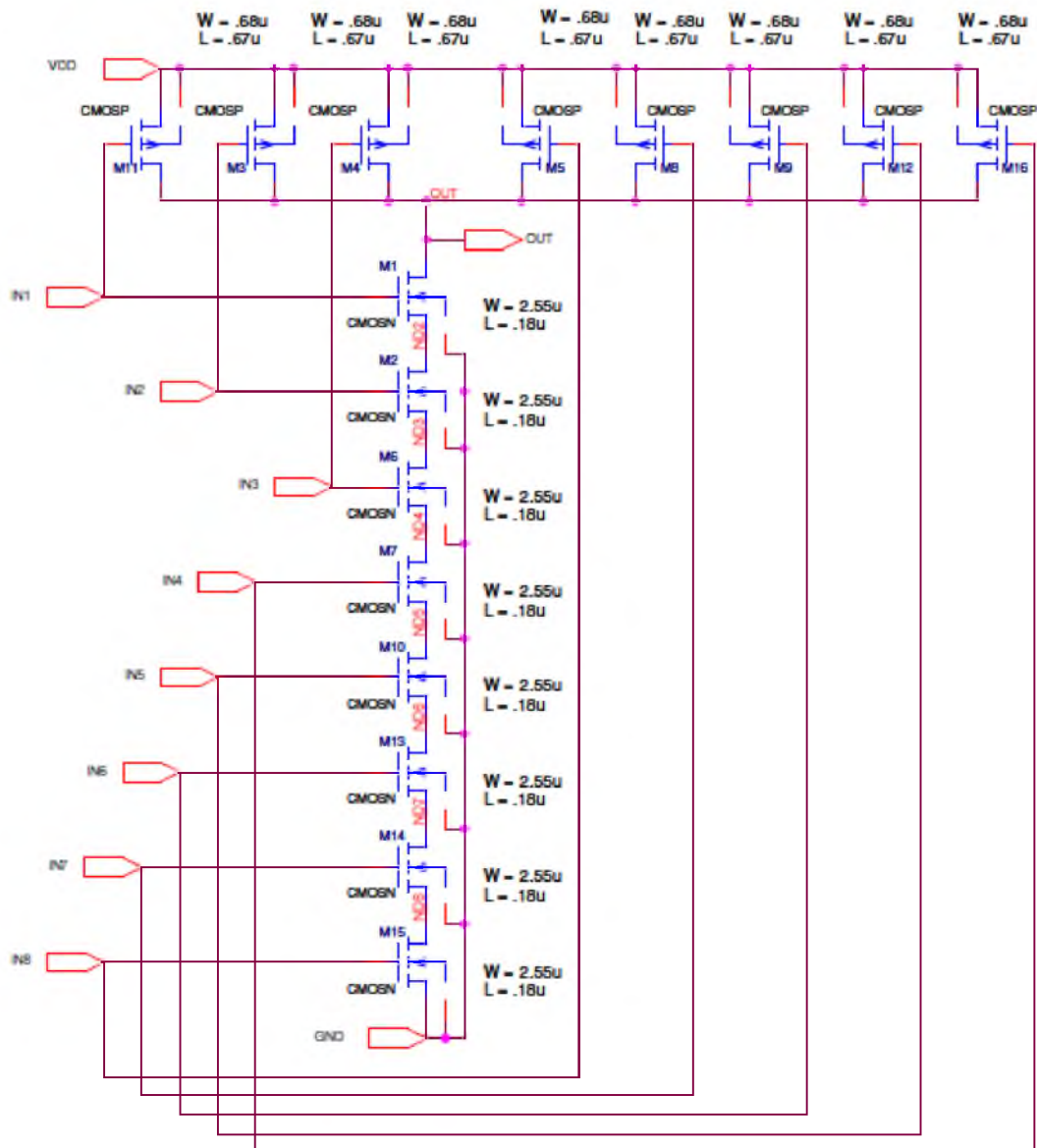


Figura 81.b) Esquemático de compuertas (NAND8)

		NEG	NAND2	NAND3	NAND4	NAND5	NAND7	NAND8
PMOS	W	.93u	.25u	.26u	.25u	.44u	.58u	.68u
	L	.25u	.186u	.25u	.33u	.41u	.58u	.67u
NMOS	W	.43u	.232u	.37u	.47u	1.042u	1.92u	2.55u
	L	.43u	.2u	.18u	.18u	.18u	.18u	.18u

Tabla 8) Dimensiones de los transistores en las Compuertas.

Se realizó un análisis en conjunto de las compuertas, se obtuvieron las curvas características de *transferencia de voltaje* de las compuertas (VTC) ilustradas en la figura 82 y los *tiempos de retraso* (mencionados en el capítulo 2). Los datos obtenidos fueron:

- $1.2V < V_{SP} < 1.7V$ (Tensión de cambio)

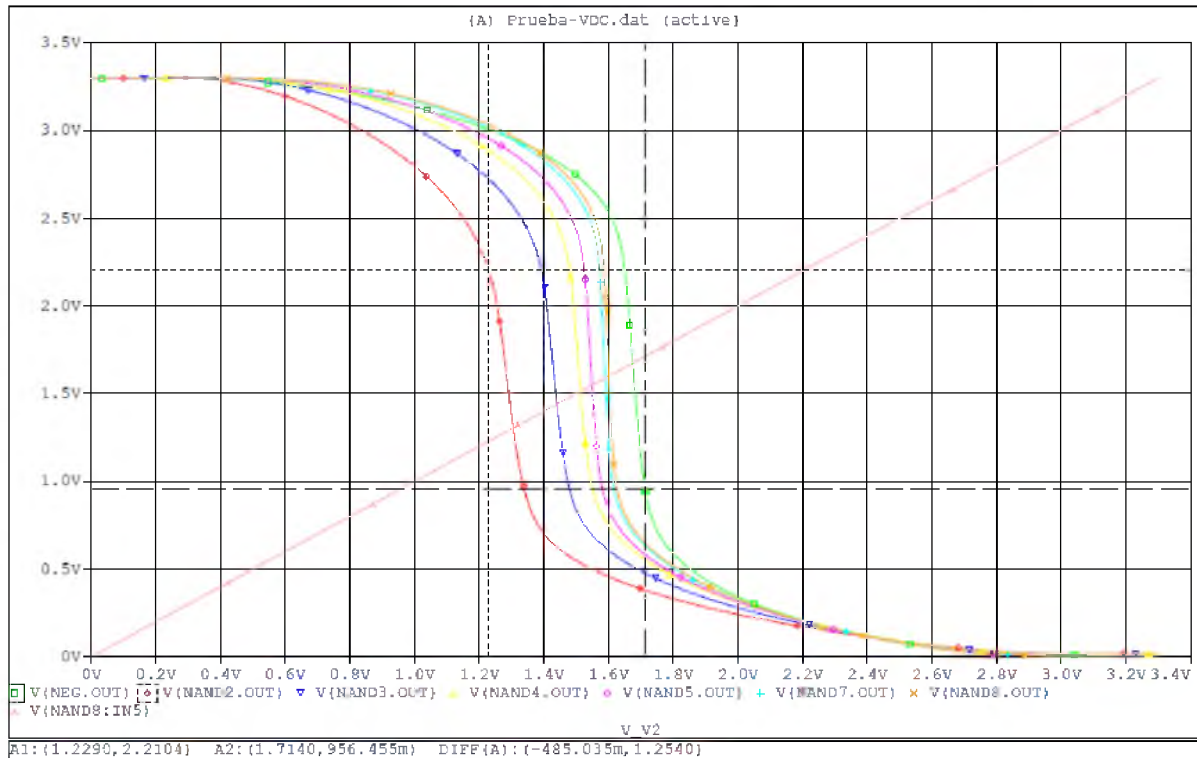


Figura 82) Curva de VTC de las Compuertas.

Las compuertas tienen una tensión de cambio V_{SP} (Tensión de punto de cruce) cercana entre ellas (1.5V promedio) a pesar de la variación de transistores entre cada compuerta. El dimensionamiento que permitió esta aproximación entre tensiones también generó una rápida respuesta individual (tiempos de transición menores a los 100pS) ante una perturbación de entrada de tipo escalón (con una característica de tiempos de subida-bajada de 10pS).

Las tensiones de niveles altos y bajos resultaron adecuadas para el diseño. A medida que las compuertas aumentan la cantidad de transistores NMOS en serie (aumentando de NEG a NAND8) la tensión de nivel bajo va aumentando en igual secuencia, pero permaneciendo por debajo del nivel de tensión máximo reconocido como un nivel lógico bajo o CERO (tensiones por debajo de 1V).

DECODIFICADOR

Es el encargado de interpretar el código digital obtenido a partir de los comparadores a la entrada del conversor (código termómetro de 64 niveles) y transformarlo en una palabra digital de salida de un determinado código (en este caso, código binario de 6 dígitos).

De la tabla de conversión (tabla 9) se obtuvieron las siguientes relaciones para cada combinación de código binario de salida (ya mencionadas en el cuerpo del trabajo):

$$MSB = C_{32}$$

$$5SB = C_{16} + \overline{C_{32}}C_{48}$$

$$4SB = C_8 + \overline{C_{16}}C_{24} + \overline{C_{32}}C_{40} + \overline{C_{48}}C_{56}$$

$$3SB = C_4 + \overline{C_8}C_{12} + \overline{C_{16}}C_{20} + \overline{C_{24}}C_{28} + \overline{C_{32}}C_{36} + \overline{C_{40}}C_{44} \\ + \overline{C_{48}}C_{52} + \overline{C_{56}}C_{60}$$

$$2SB = C_2 + \overline{C_4}C_6 + \overline{C_8}C_{10} + \overline{C_{12}}C_{14} + \overline{C_{16}}C_{18} + \overline{C_{20}}C_{22} + \overline{C_{24}}C_{26} \\ + \overline{C_{28}}C_{30} + \overline{C_{32}}C_{34} + \overline{C_{36}}C_{38} + \overline{C_{40}}C_{42} + \overline{C_{44}}C_{46} \\ + \overline{C_{48}}C_{50} + \overline{C_{52}}C_{54} + \overline{C_{56}}C_{58} + \overline{C_{60}}C_{62}$$

$$LSB = C_1 + \overline{C_2}C_3 + \overline{C_4}C_5 + \overline{C_6}C_7 + \overline{C_8}C_9 + \overline{C_{10}}C_{11} + \overline{C_{12}}C_{13} \\ + \overline{C_{14}}C_{15} + \overline{C_{16}}C_{17} + \overline{C_{18}}C_{19} + \overline{C_{20}}C_{21} + \overline{C_{22}}C_{23} \\ + \overline{C_{24}}C_{25} + \overline{C_{26}}C_{27} + \overline{C_{28}}C_{29} + \overline{C_{30}}C_{31} + \overline{C_{32}}C_{33} \\ + \overline{C_{34}}C_{35} + \overline{C_{36}}C_{37} + \overline{C_{38}}C_{39} + \overline{C_{40}}C_{41} + \overline{C_{42}}C_{43} \\ + \overline{C_{44}}C_{45} + \overline{C_{46}}C_{47} + \overline{C_{48}}C_{49} + \overline{C_{50}}C_{51} + \overline{C_{52}}C_{53} \\ + \overline{C_{54}}C_{55} + \overline{C_{56}}C_{57} + \overline{C_{58}}C_{59} + \overline{C_{60}}C_{61} + \overline{C_{62}}C_{63}$$

La tabla de conversión de código termómetro a código binario de 6 bits se encuentra identificada como tabla 9 (CERO=ROJO, UNO=AZUL).

Tabla 9) Tabla de relación del decodificador de código Termómetro de 256 valores a código Binario de 6 bits.

La lógica interna del decodificador fue realizada con las compuertas NAND descritas anteriormente. A continuación se ilustran ejemplos en la figura 84 de las interconexiones de compuertas que se realizaron para cumplir con la lógica del decodificador.

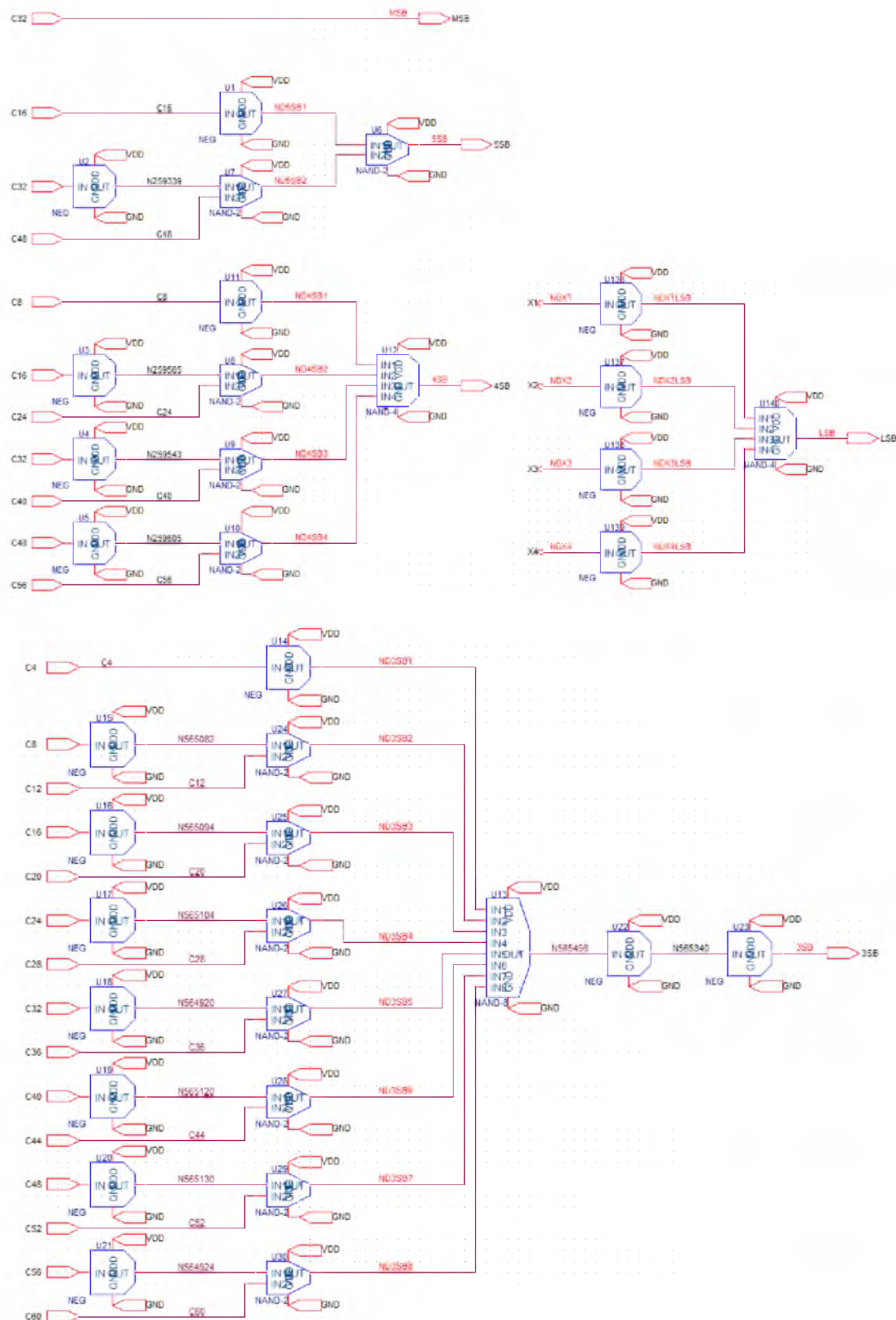


Figura 83.a) Esquemático internos del decodificador.



A continuación encontramos el esquemático superior del decodificador, con las 63 entradas de código termómetro y 6 salidas para formar la palabra digital a la salida.



CONVERSOR FLASH

El diseño del convertor está representado en la figura 86. Se pudo observar el terminal VA en donde se conecta la señal de entrada a convertir, las cuales se distribuye en todas las entradas INNEG de los comparadores. Luego se encuentra la cadena de resistencias de la cual se genera la señal de referencia para cada comparador y que se conectan a la entrada INPOS. Luego se encuentran los 63 comparadores encargados de codificar la entrada analógica en código termómetro de 64 valores, los cuales se conectan a las entradas del decodificador que devuelve la palabra digital de 6 bits en sus salidas representadas como LSB, 2SB, ..., MSB.

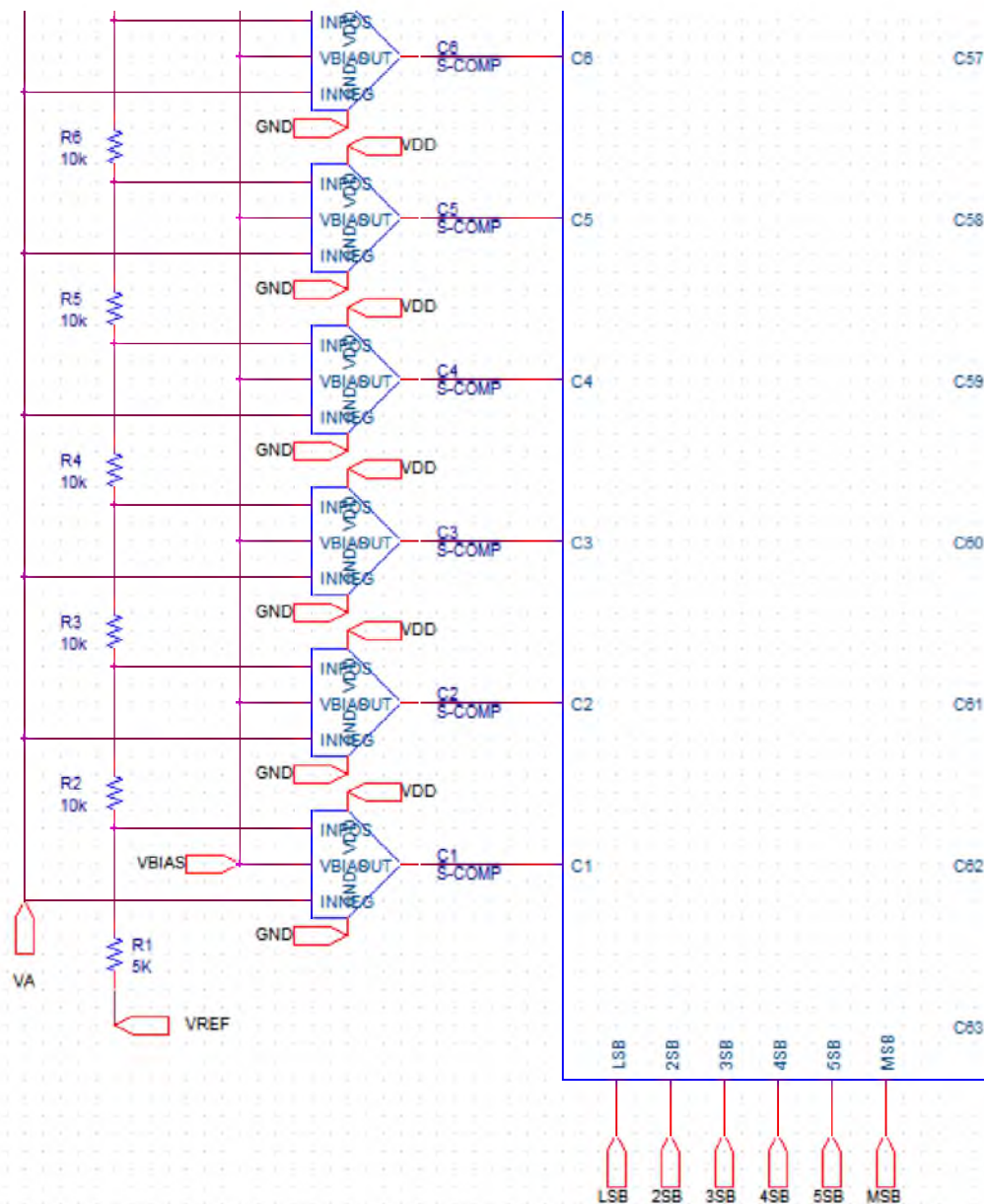


Figura 86) Esquemático del convertor, conexión entre comparadores y decodificador.

La ilustración de la figura 87 representa 3 comparadores con sus respectivas conexiones, lo que se repite para los 63 existentes en el conversor, encargados de generar el código termómetro.

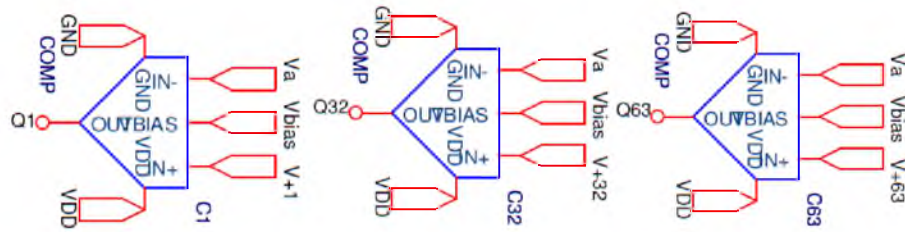


Figura 87) Esquemático superior de los comparadores con sus respectivas conexiones.

El esquema superior del decodificador con sus 63 entradas es representado a continuación en la figura 88. Cada una de ellas se conecta a las salidas codificadas en código termómetro de los comparadores. También se representan las 6 salidas de donde obtenemos la palabra digital en binario.

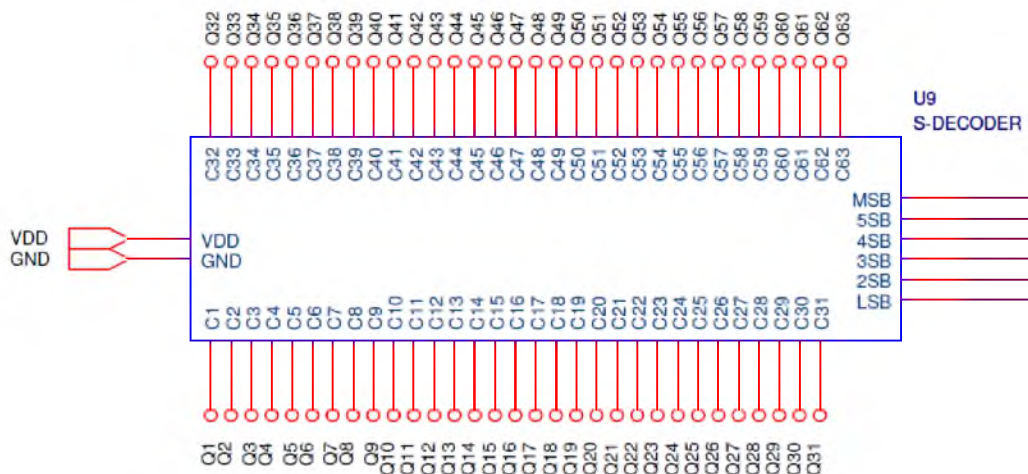


Figura 88) Esquemático superior del decodificador.

En la figura 89 representa el nivel superior del conversor y las conexiones necesarias para su funcionamiento. El bloque C es el conversor flash. Está formado por las 6 salidas del decodificador, las cuales están sincronizadas con una señal CLOCK, permitiendo obtener la palabra digital negada y no negada al final de cada secuencia de conversión.

La especificación de las conexiones para la figura 89 se encuentran a continuación:

- VDD es la alimentación del circuito (3.3 voltios).
- GND es la referencia de masa.
- VBIAS es la entrada de tensión que polariza el transistor M5 del comparador, encargado de determinar la corriente de la etapa diferencial del comparador.
- VREF es la tensión que será dividida por la cadena de resistencias dando como resultado los 63 niveles de referencia del decodificar.

En este caso, la tensión a ser dividida es 630mV. Finalmente, en la entrada (terminal VA) se conecta la tensión de entrada a convertir.

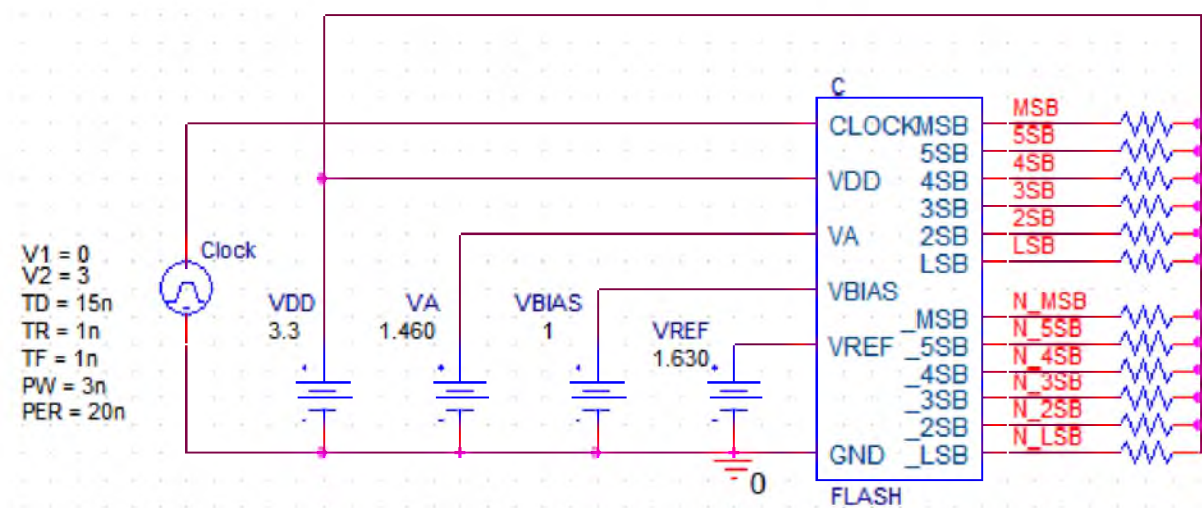


Figura 89) Esquemático superior del conversor flash y sus conexiones.

APÉNDICE C

Aplicación

APÉNDICE C: Aplicación

El desarrollo de la aplicación trajo aparejado el uso de varias tecnologías: lenguajes de programación, interfaz gráfica, entorno de virtualización, aplicación de simulación, etc.

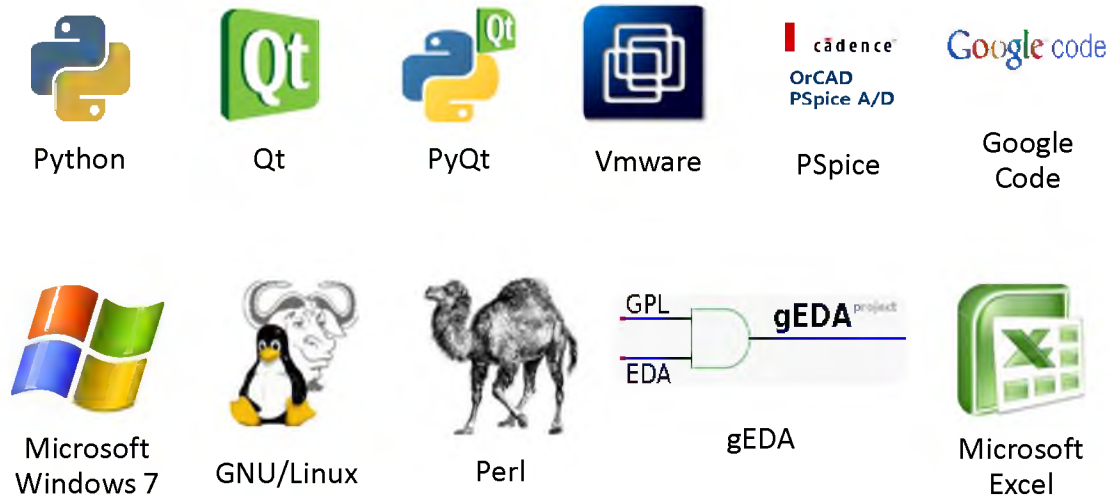
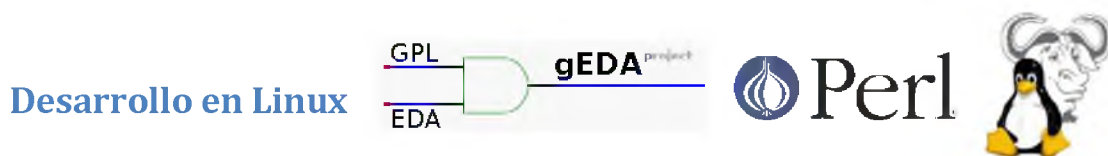


Figura 90) Tecnologías utilizadas en el desarrollo de la aplicación.



En una primera instancia, se decidió comenzar a desarrollar la aplicación sobre la plataforma GNU/Linux. La decisión de dicha plataforma fue motivada por las ventajas que ofrecían el licenciamiento y el código abierto de las tecnologías utilizadas.

Para el diseño se utilizó la plataforma de desarrollo gEDA. El proyecto gEDA produce y continua trabajando en un grupo completo, licenciada bajo GPL, de herramientas para el diseño automatizado electrónico. Uno de los factores más importantes a la hora de elegir esta plataforma fue la fácil integración de la primera versión de la aplicación realizada en Perl.

Perl es un lenguaje de programación de alto nivel, interpretado y dinámico, y de propósito general. Provee una potente interfaz para procesamiento de texto, que permite una fácil manipulación de los archivos de texto. Como gEDA almacena la información en formato de texto plano, Perl permitió una integración simple y eficaz.

Luego de las primeras versiones de la aplicación, se encontró un error grave en gEDA que imposibilitó continuar con el diseño bajo esta plataforma.

Desarrollo en Microsoft® Windows



El desarrollo bajo Windows 7® surgió a partir del inconveniente con la plataforma gEDA. Esto requirió de un nuevo análisis de las tecnologías involucradas y un proceso de migración complejo.

Adicionalmente, se decidió crear una interfaz gráfica para la aplicación con el fin de facilitar la experiencia de usuario. Este fue el motivo por el cual se cambió el lenguaje de programación a Python, ya que este posee soporte para el diseño de interfaces gráficas en Qt.

A continuación se explicará detalladamente las tecnologías utilizadas.

Lenguaje de programación



Comenzando por la codificación de la aplicación, el lenguaje de programación elegido fue Python. La elección de este lenguaje fue debido a las características presentadas en la siguiente lista.

Lenguaje interpretado

- Un lenguaje interpretado es aquel que se ejecuta utilizando un programa intermedio llamado intérprete, en lugar de compilar el código a lenguaje máquina (lenguajes compilados). Estos tipos de lenguajes interpretados son más flexibles y más portables.
- Python tiene, no obstante, muchas de las características de los lenguajes compilados, por lo que se podría decir que es semi interpretado.

Tipado dinámico

- La característica de tipado dinámico se refiere a que no es necesario declarar el tipo de dato que va a contener una determinada variable, sino que su tipo se determinará en tiempo de ejecución según el tipo del valor al que se asigne, y el tipo de esta variable puede cambiar si se le asigna un valor de otro tipo.

Fuertemente tipado

- No se permite tratar a una variable como si fuera de un tipo distinto al que tiene, es necesario convertir de forma explícita dicha variable al nuevo tipo previamente.

Multiplataforma

- El intérprete de Python está disponible en multitud de plataformas (UNIX, Solaris, Linux, DOS, Windows, OS/2, Mac OS, etc.) por lo que si no se utilizan librerías específicas de cada plataforma el programa podrá correr en todos estos sistemas sin grandes cambios.

Orientado a objetos

- La orientación a objetos es un paradigma de programación en el que los conceptos del mundo real relevantes para nuestro problema se trasladan a clases y objetos en nuestro programa.
- Python también permite la programación imperativa, programación funcional y programación orientada a aspectos.

Interfaz gráfica



Debido a que la aplicación principal se encuentra escrita en Python, para la interfaz gráfica (GUI, Graphical User Interface) se utilizó un “binding” de la biblioteca gráfica de Qt para Python llamado PyQt. Un “binding” es una adaptación de una biblioteca para ser usada en un lenguaje de programación distinto de aquél en el que ha sido escrita. En este caso utilizamos PyQt (binding) para acceder a los elementos de la biblioteca multiplataforma de Qt y desarrollar las interfaces gráficas de usuario ya que Qt se encuentra escrita en C++.

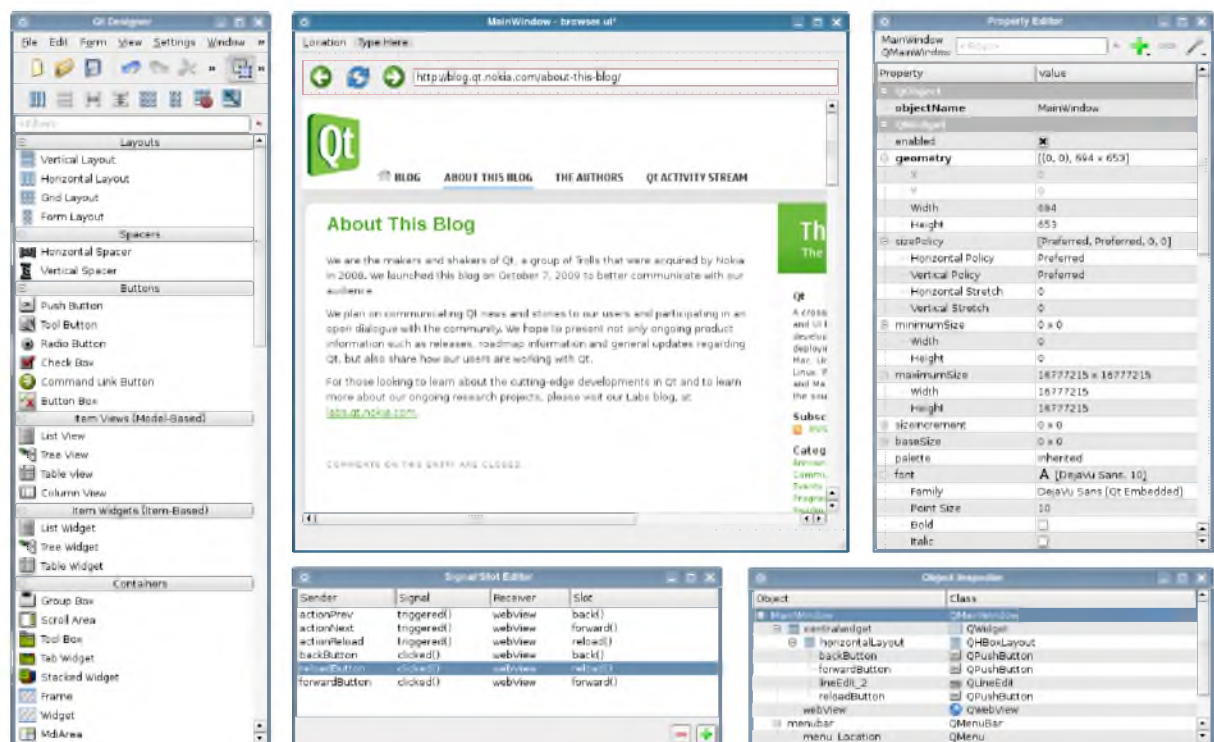


Figura 91) Entorno de programación Qt.

El entorno de desarrollo integrado (IDE por sus siglas en inglés) utilizado es Qt Designer. Esta IDE es muy intuitiva y de fácil uso permitiendo un diseño rápido y sencillo. En la figura siguiente se observa en la barra lateral izquierda los elementos de la biblioteca gráfica para agregar. En el panel central se encuentra la “Main Window” o ventana principal, donde se arma la interfaz gráfica propiamente dicha. En la barra lateral derecha se encuentra el editor de propiedades, este nos permite definir diversas opciones de cada uno de los elementos agregados en la ventana principal como ser título, tamaño, etc. En la parte inferior se observan dos ventanas más, la izquierda es la ventana de edición de señales y ranuras, con ella se asignan ranuras (acciones que la aplicación realiza al recibir la señal) para cada una de las

señales que la GUI recibe; la derecha es la ventana de inspección de objetos, brinda una lista en forma de árbol con las relaciones de todos los elementos de la biblioteca utilizados según su ubicación dentro de la ventana principal.

Ambiente de simulación



El ambiente de simulación fue un elemento crítico a la hora de realizar la inyección automatizada. Los recursos computacionales eran limitados y las simulaciones a realizar eran más de 56.000. Se utilizaron dos computadoras físicas para realizar las simulaciones automáticas. Una de ellas con un procesador Intel® Core™2 Quad (4 núcleos) funcionando a 3.00 GHz, y la otra con un procesador Intel® Core™2 Duo (2 núcleos) a 2.40 GHz, ambas con tecnologías Intel® Virtualization Technology (Intel® VT) y Intel® Virtualization Technology for Directed I/O (Intel® VT-d). Esto permitió un rendimiento superior y reducciones de hasta 5 veces en los tiempos de simulación.

En la figura 92 se puede apreciar gráficamente el concepto de ambiente virtualizado.

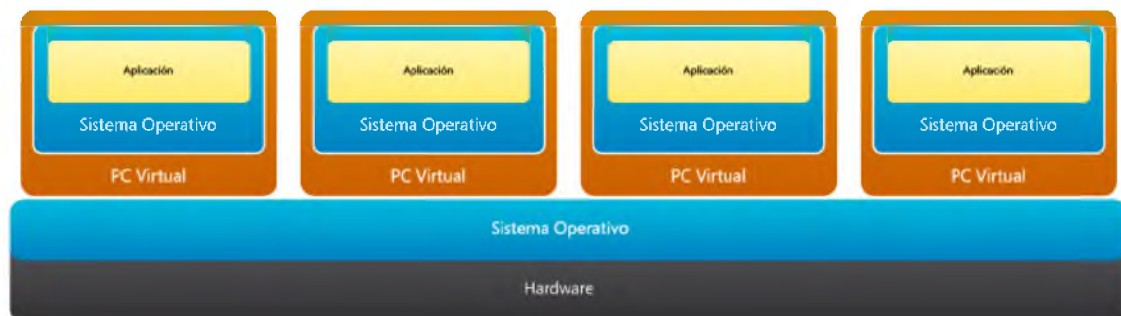


Figura 92) Simulación del ambiente virtualizado de trabajo.

En este caso, la imagen muestra la implementación sobre el procesador de 4 núcleos. La decisión de utilizar virtualización fue debida a que la aplicación de simulación, OrCAD PSpice A/D, no hace uso de todos los procesadores disponibles. De esta manera, al crear 4 computadoras virtuales utilizando la tecnología Vmware se logró ejecutar 6 instancias paralelas de la aplicación (1 computadora por núcleo físico).

Análisis de resultados



Para el análisis de los datos se utilizó la herramienta Microsoft® Excel. La aplicación generaba, a partir de los datos de simulación, archivos en formato CSV (Comma Separated Values) compatibles con el procesador de cálculos.

Se configuraron macros y fórmulas que permitían la generación automática de tablas y gráficos. Esto agilizó el proceso de análisis de datos y el control del proceso de inyección. La integración de la aplicación con el procesado MS Excel quedó pendiente debido a que no era un objetivo del presente trabajo.

Almacenamiento y versionamiento



Para el desarrollo de la aplicación y almacenamiento de datos se utilizó una herramienta de versionamiento llamado Subversion, y como almacenamiento del código de la aplicación Google® Code. Esto permitió un desarrollo progresivo de la aplicación y también la sincronización en el almacenamiento de los resultados de cada una de las 6 computadoras virtuales. Actualmente el proyecto se encuentra alojado bajo la licencia GNU General Public License v3. Los hipervínculos son los siguientes:

- Página principal del proyecto: <http://code.google.com/p/fiocs/>
- Descarga directa de la última versión: [fail_injector-0.5.6.exe](#)
- Licencia: <http://www.gnu.org/licenses/gpl.html>

APÉNDICE D

Simulaciones extras

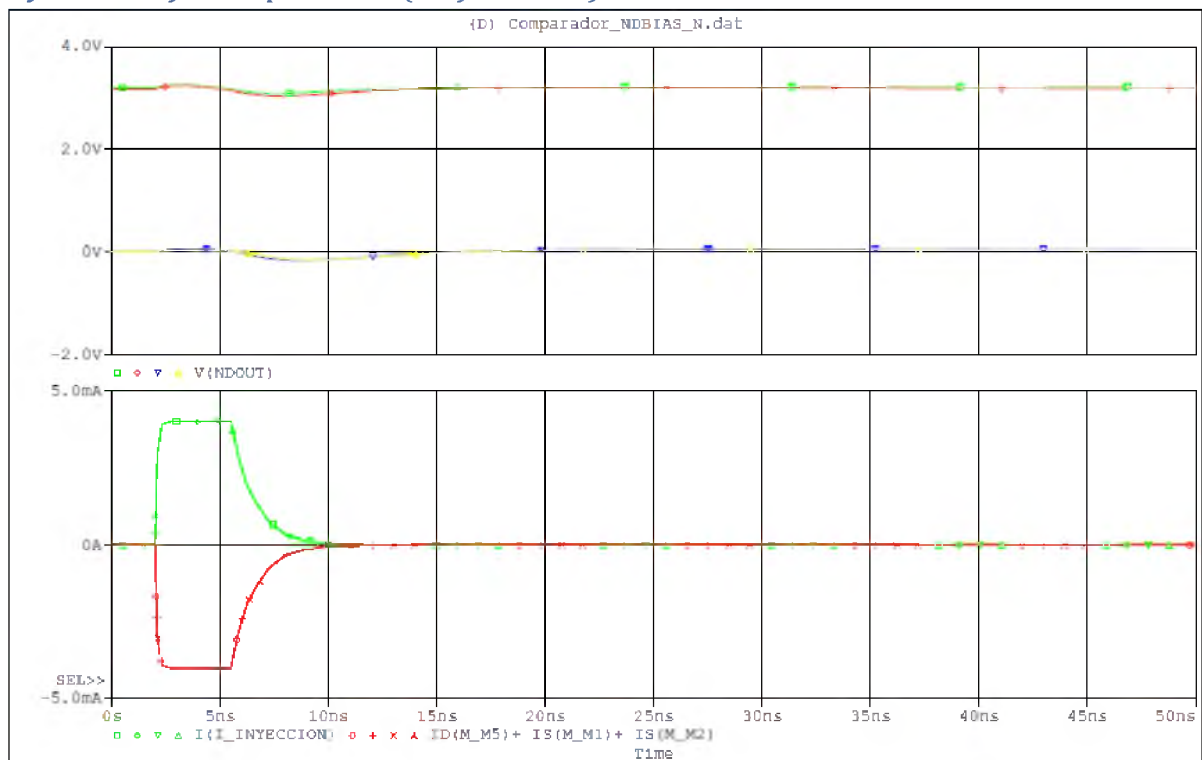
APÉNDICE D: Simulaciones extras

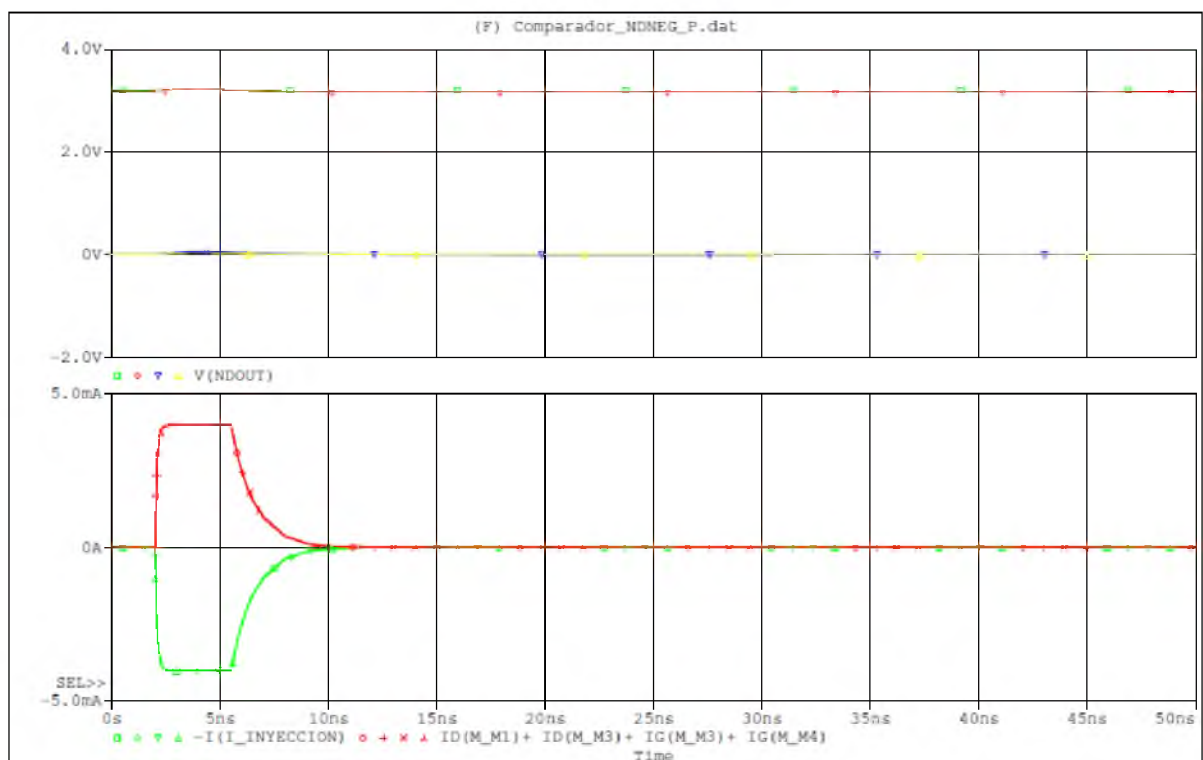
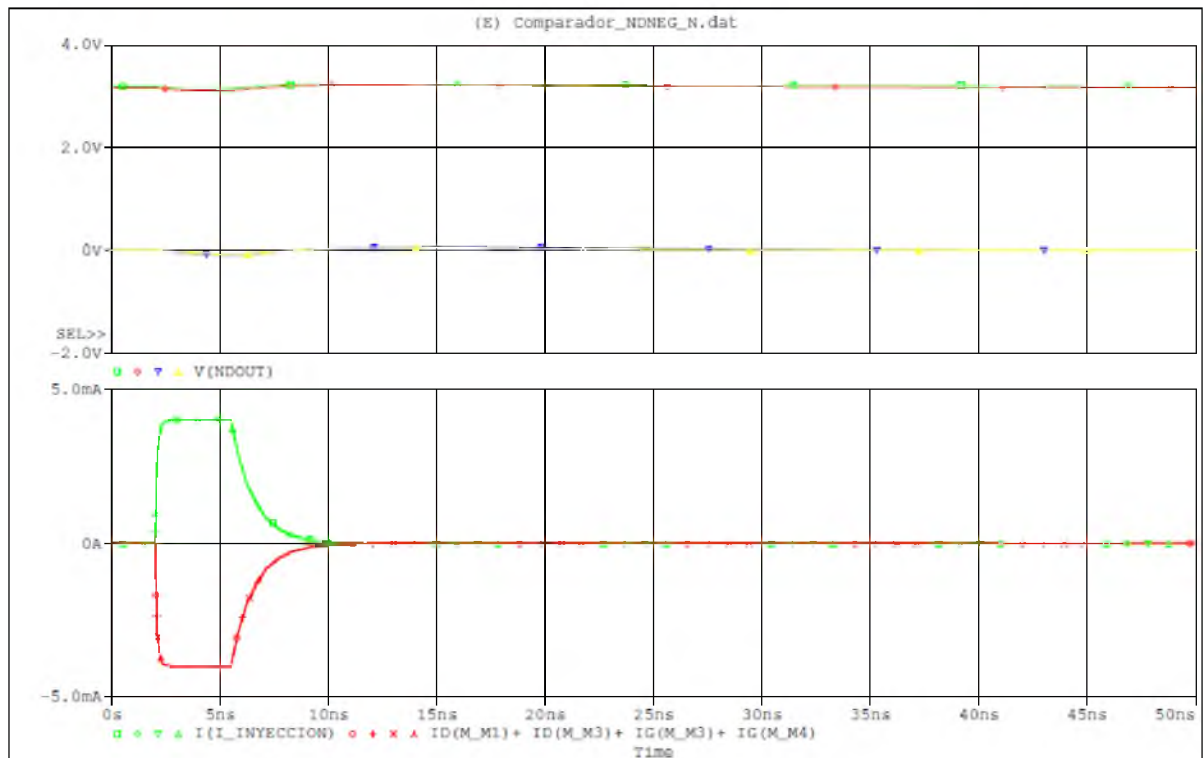
GRÁFICA DE Simulación

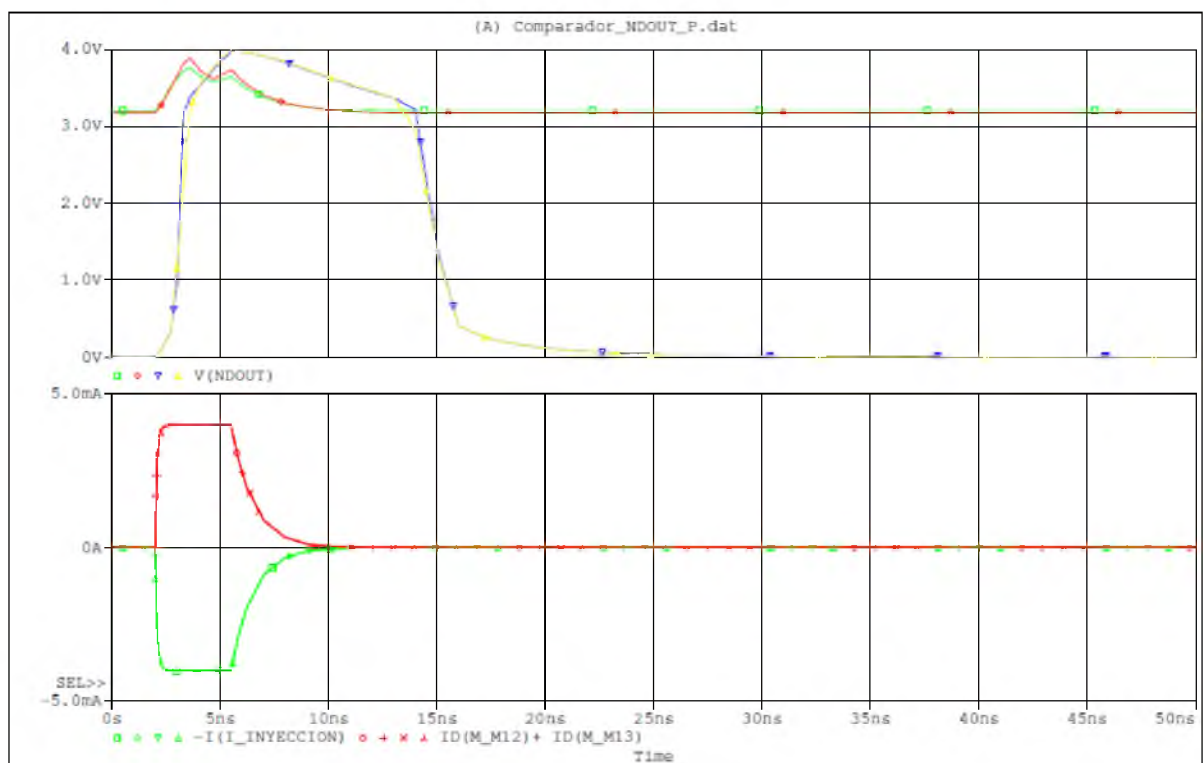
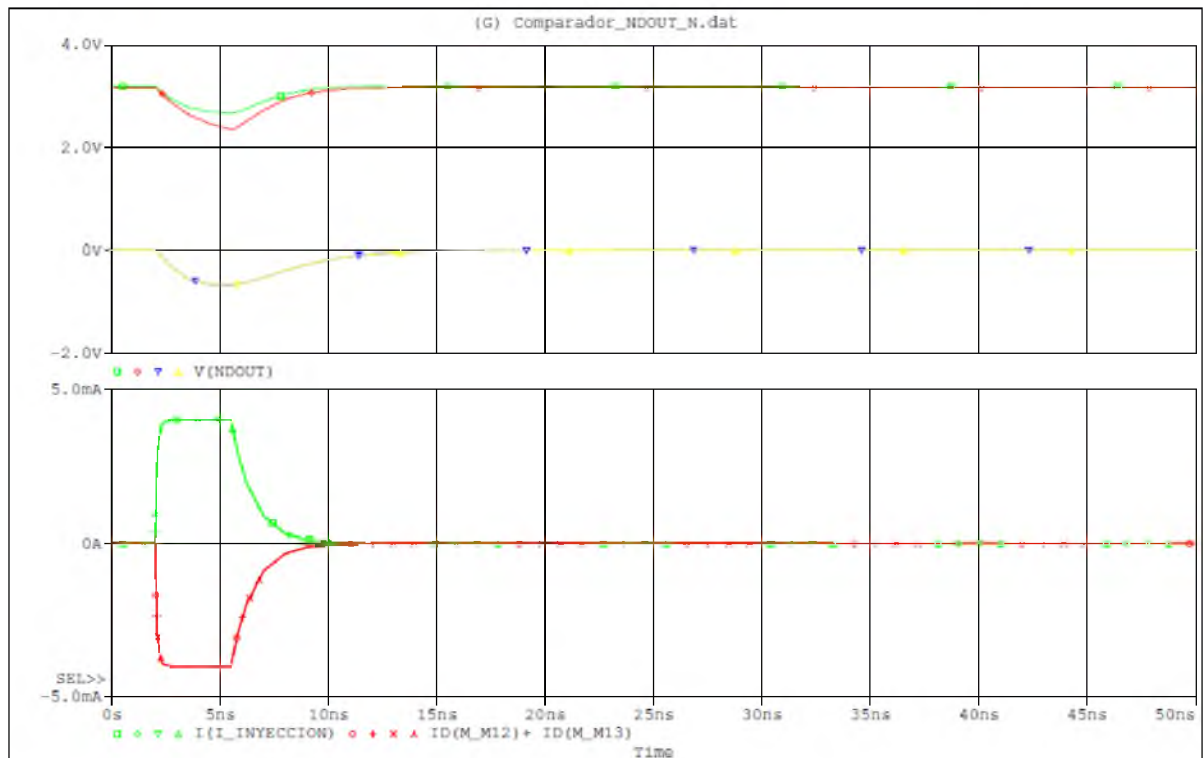
Campaña Manual

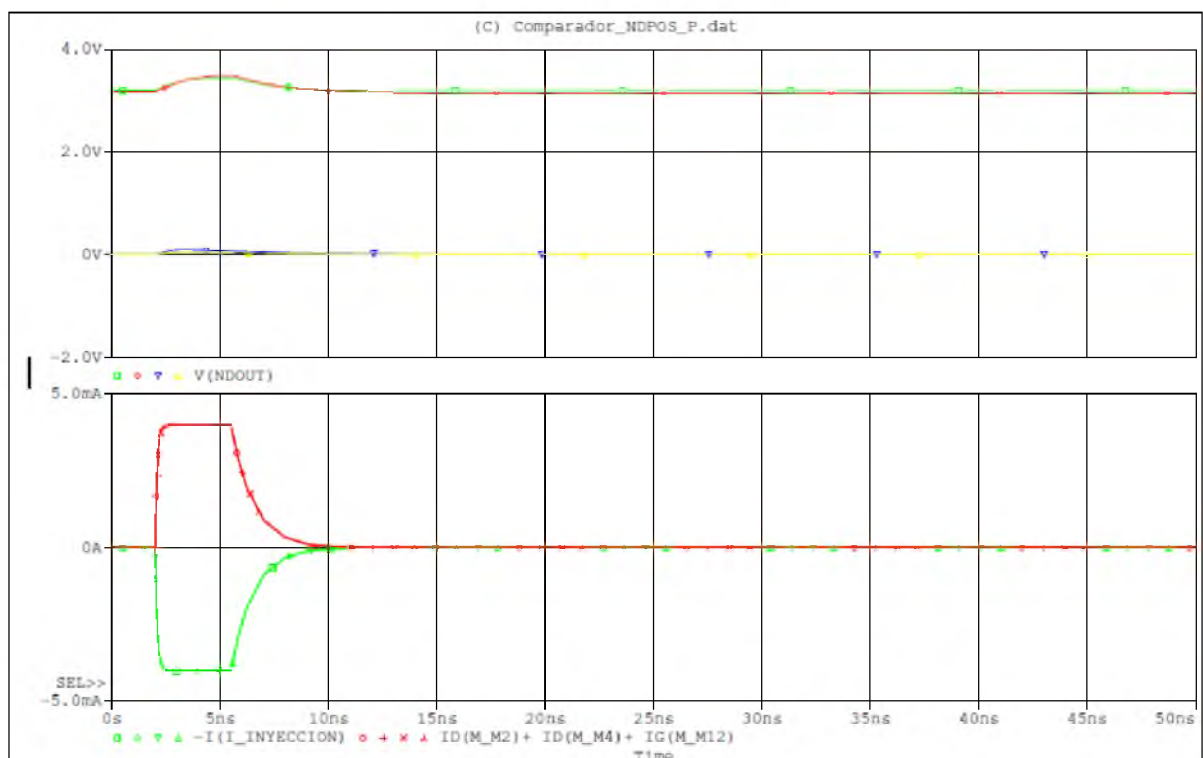
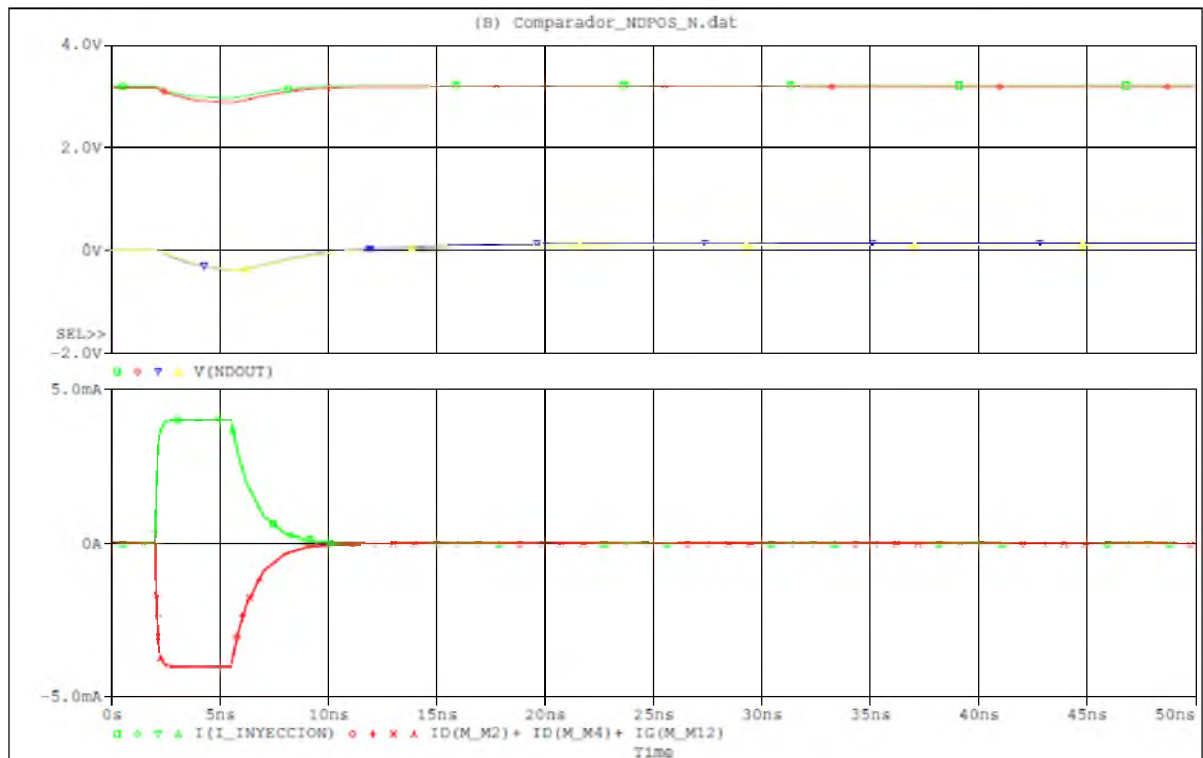
En las gráficas a continuación se presentaran los demás resultados obtenidos a partir de la inyección de fallas de manera manual y su simulación. Estas gráficas complementan el análisis realizado anteriormente en el Capítulo 3 del trabajo, en donde se seleccionaron ejemplos que permitían demostrar los nodos sensibles del sistema sin abundar en gráficas.

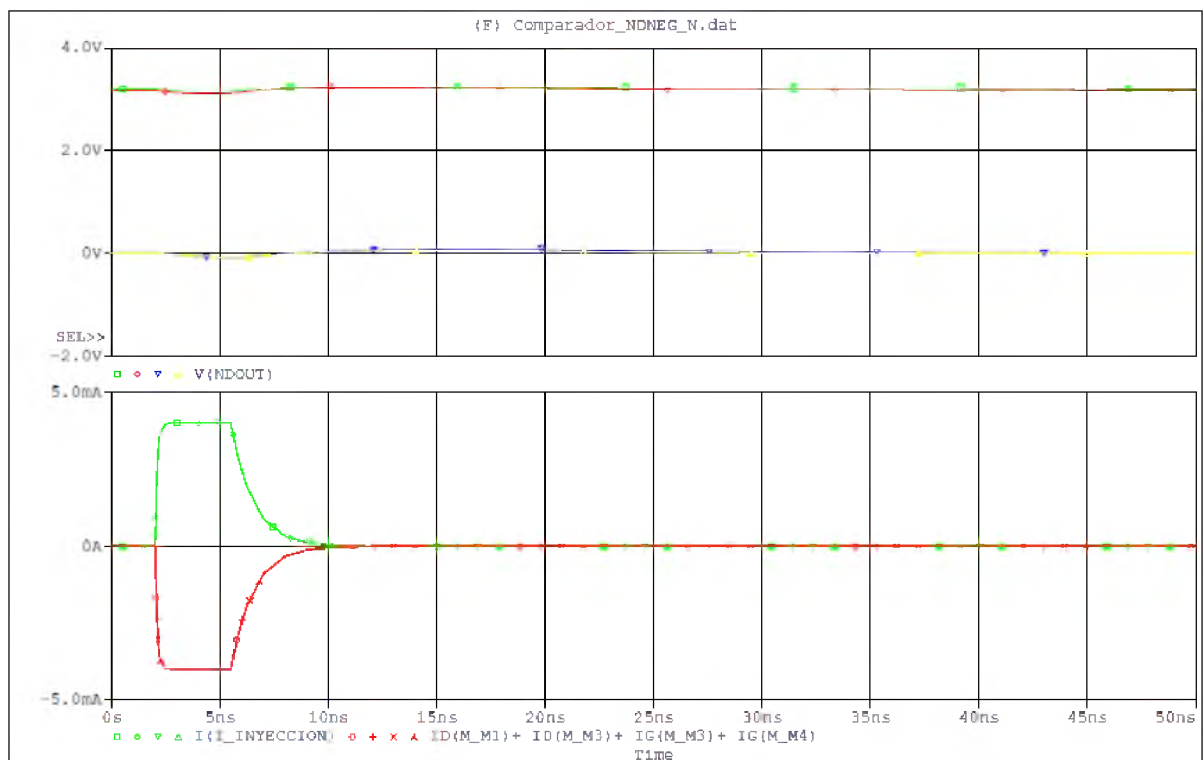
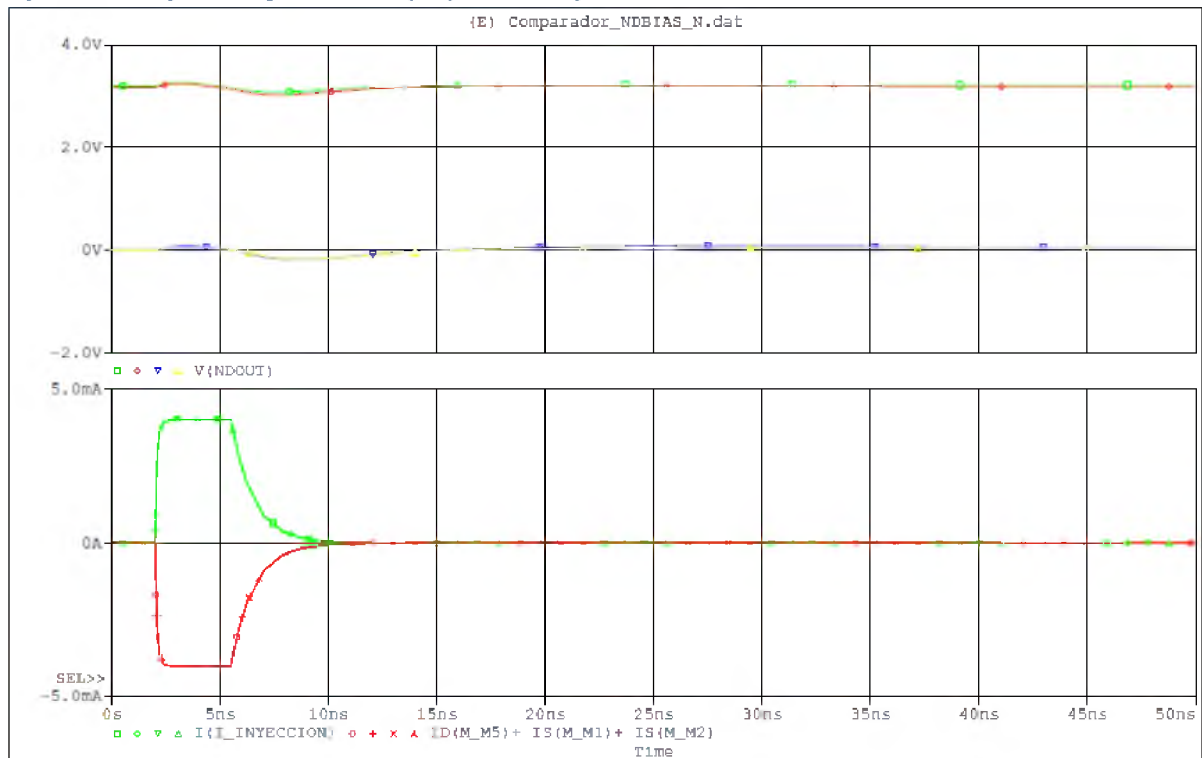
Inyección de falla exponencial ($V_{ref} = 1.005V$):

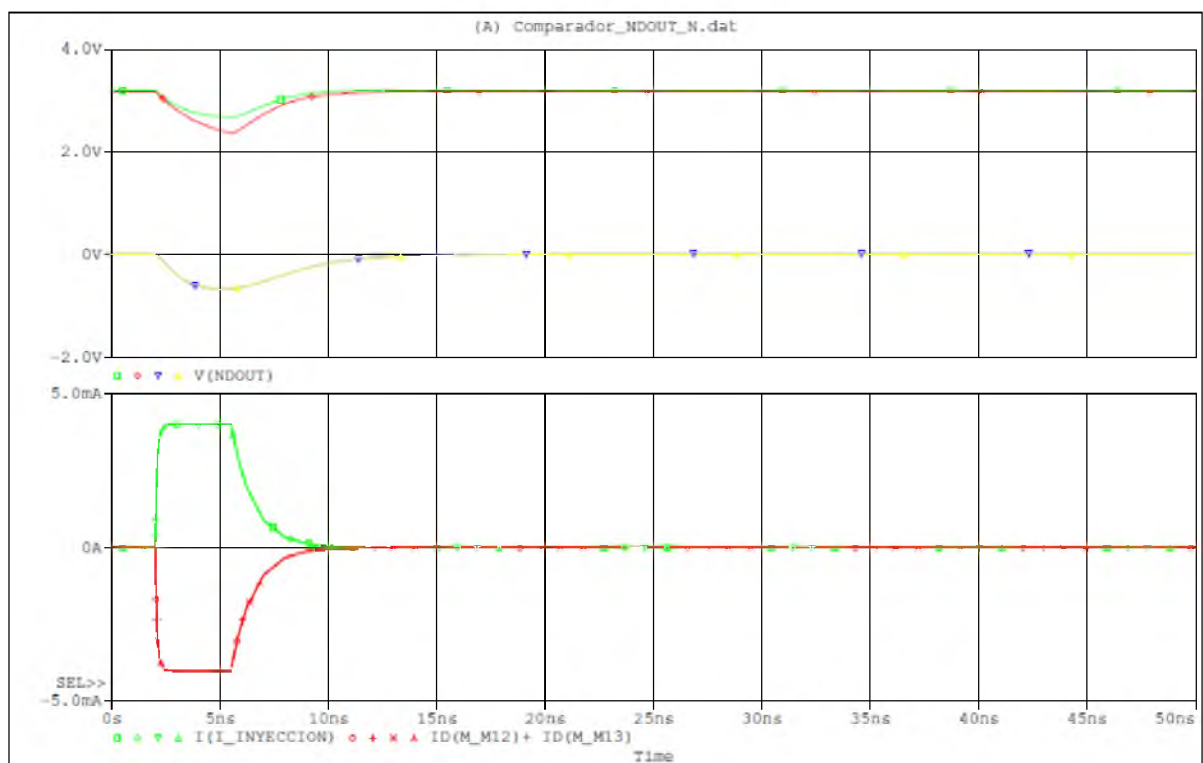
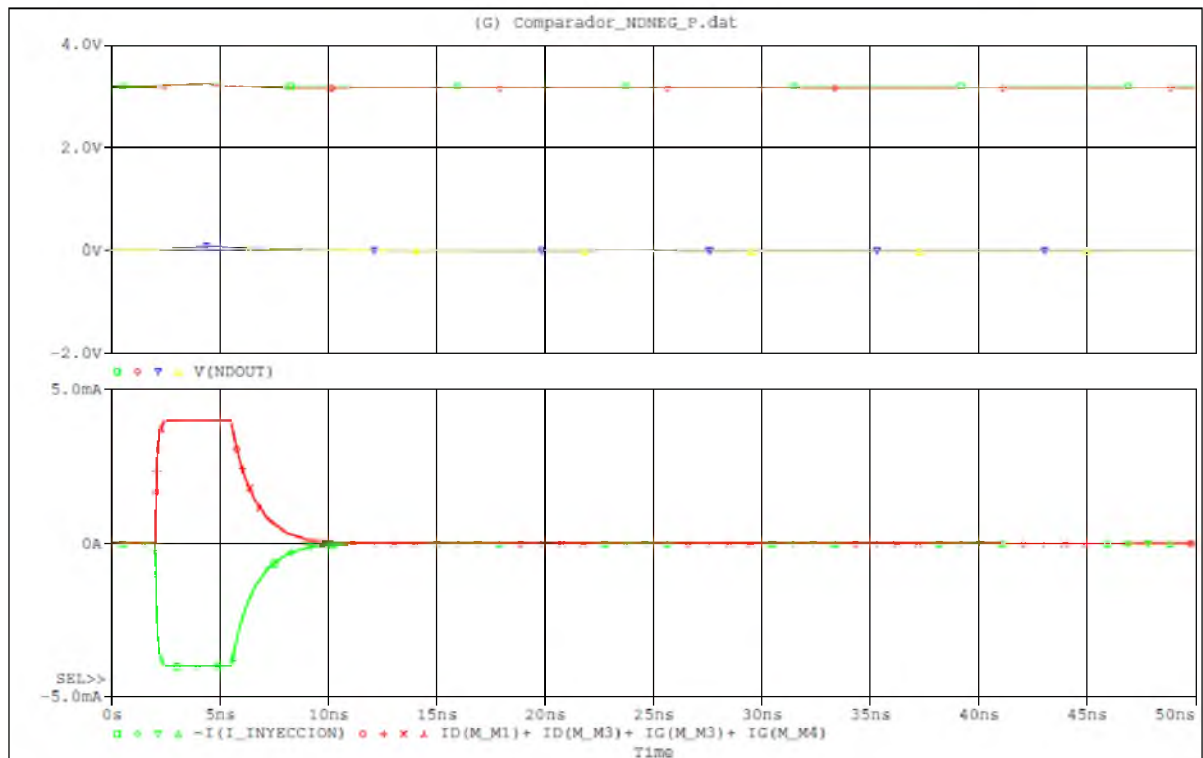


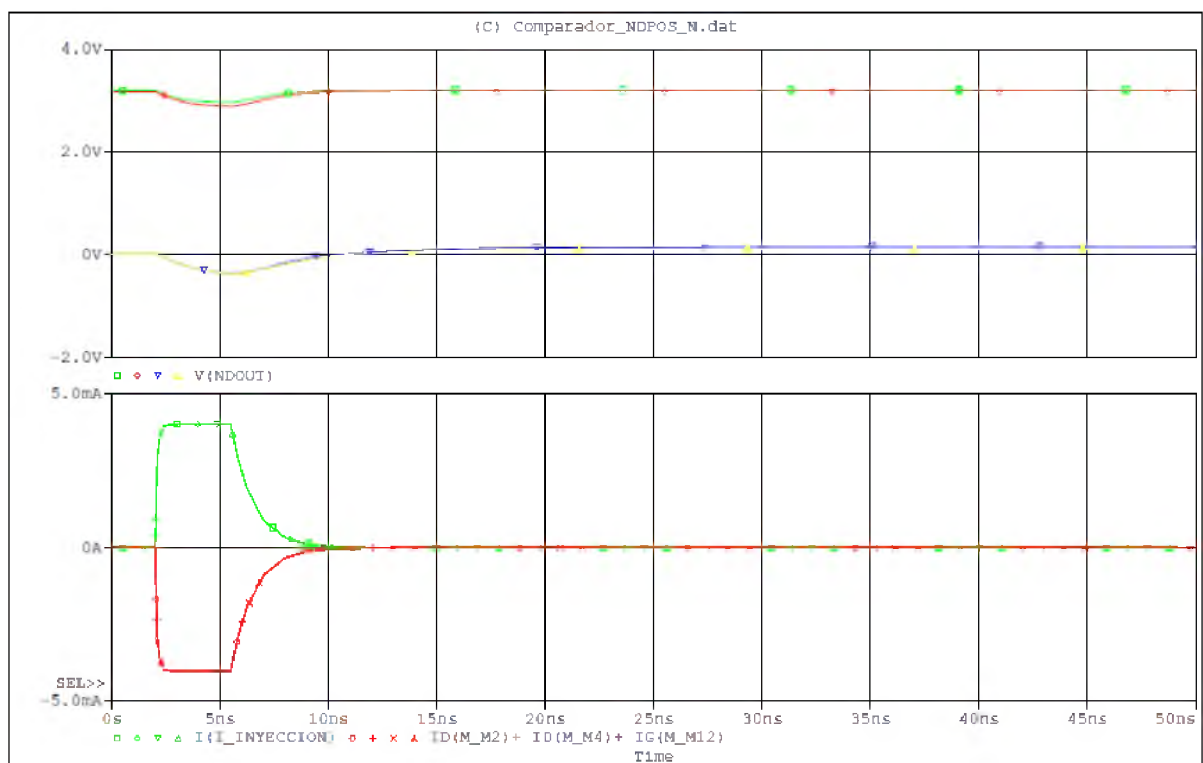
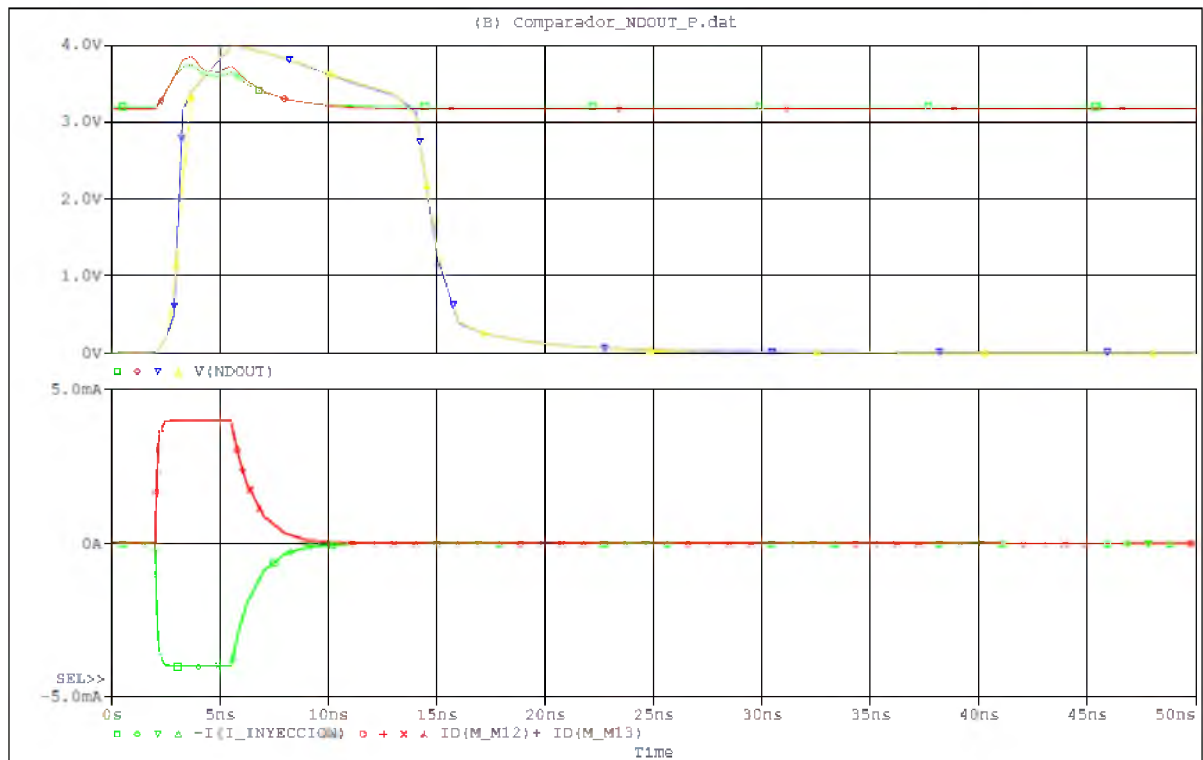


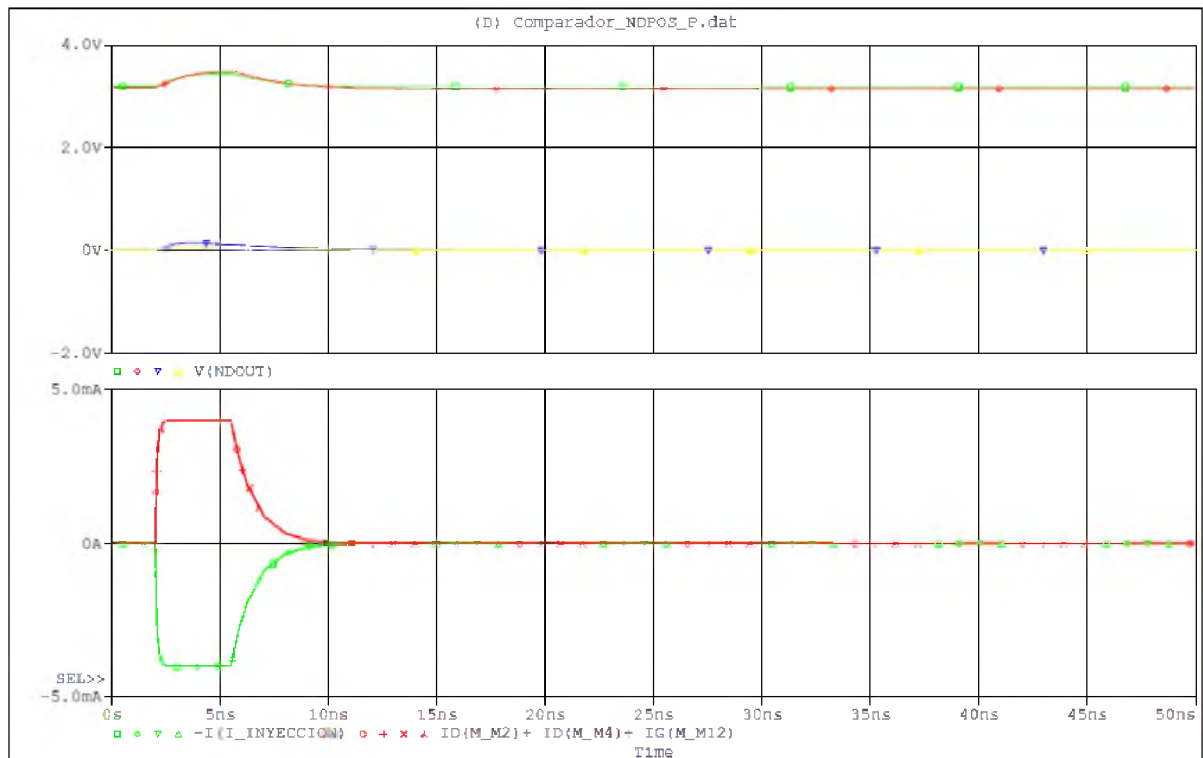




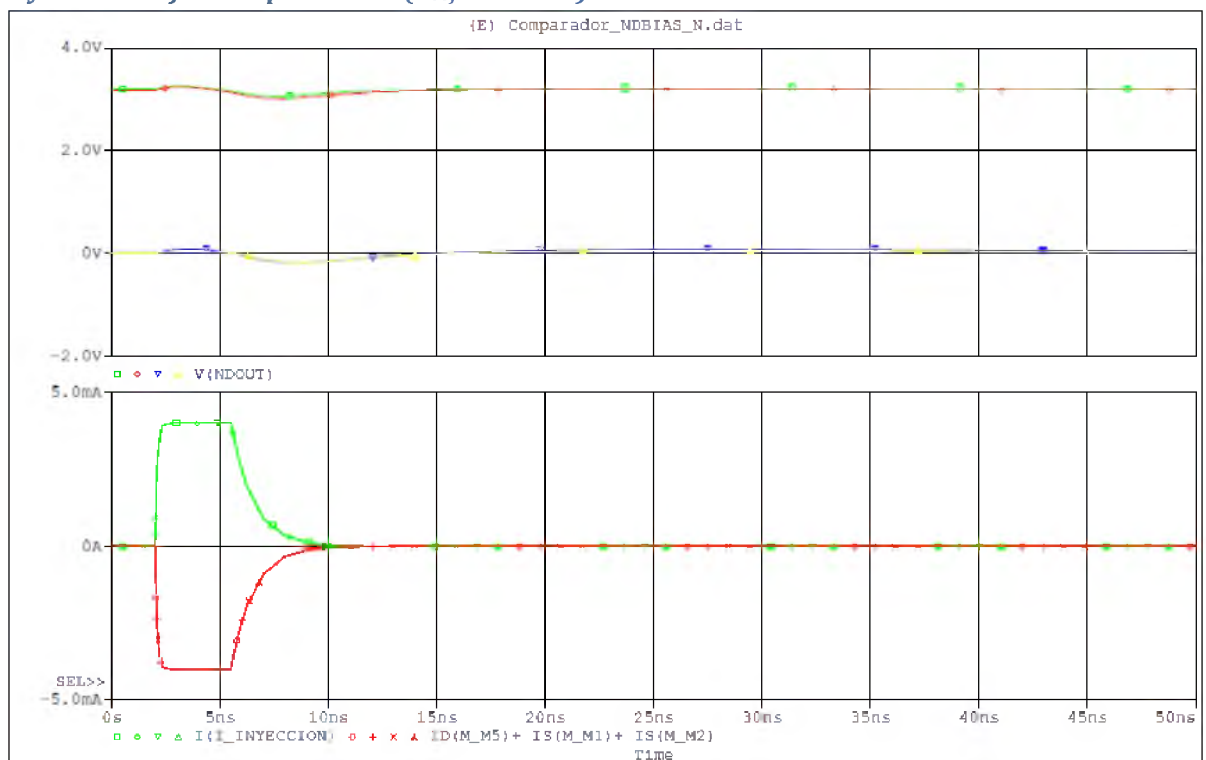
Inyección de falla exponencial ($V_{ref} = 1.315V$):

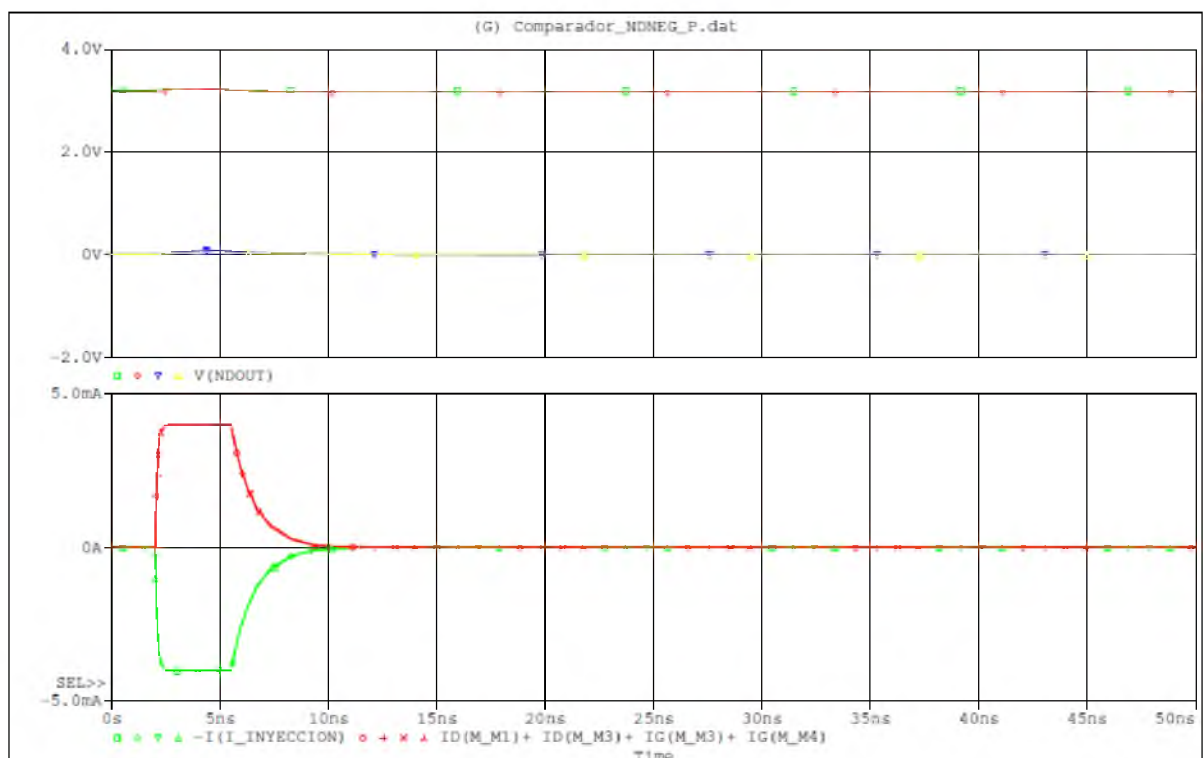
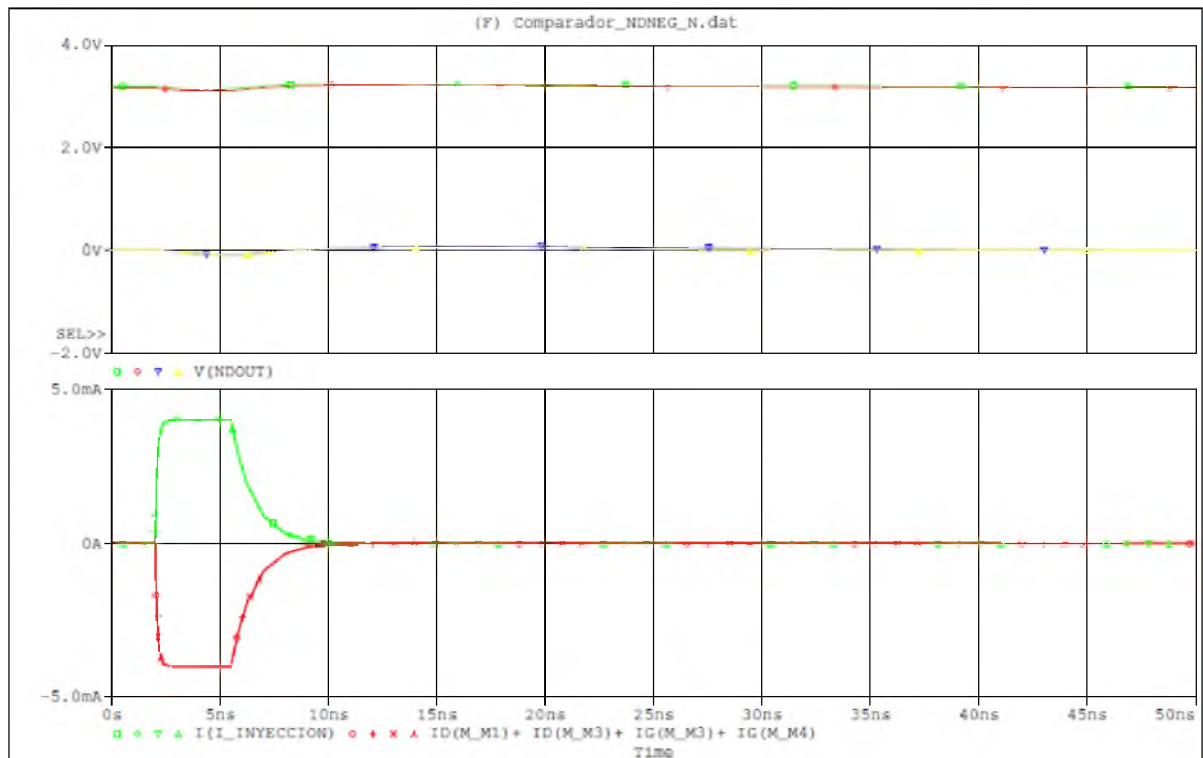


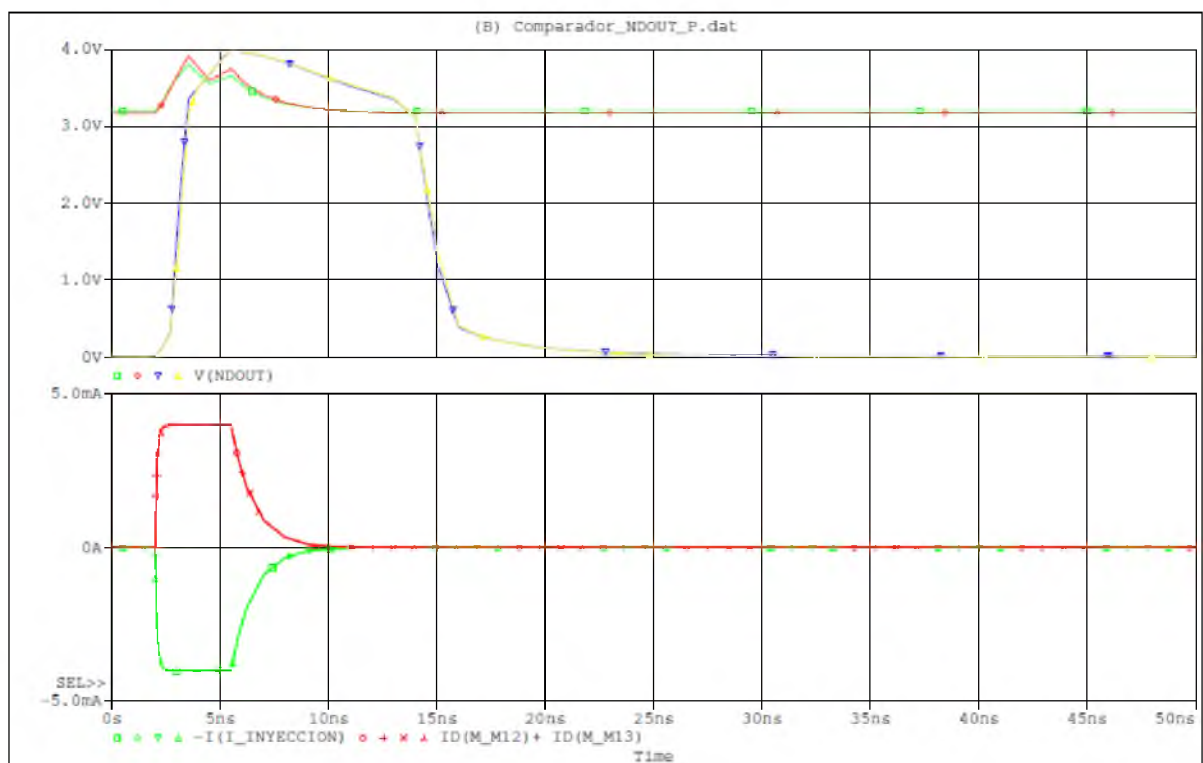
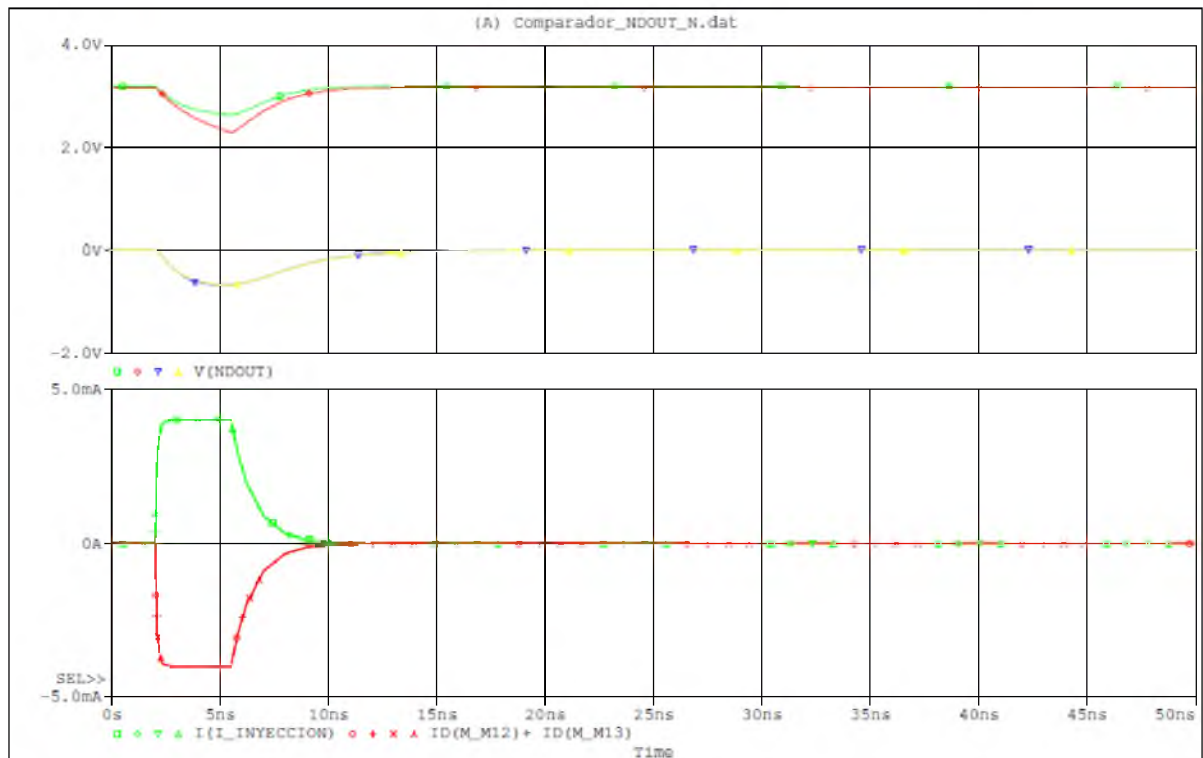


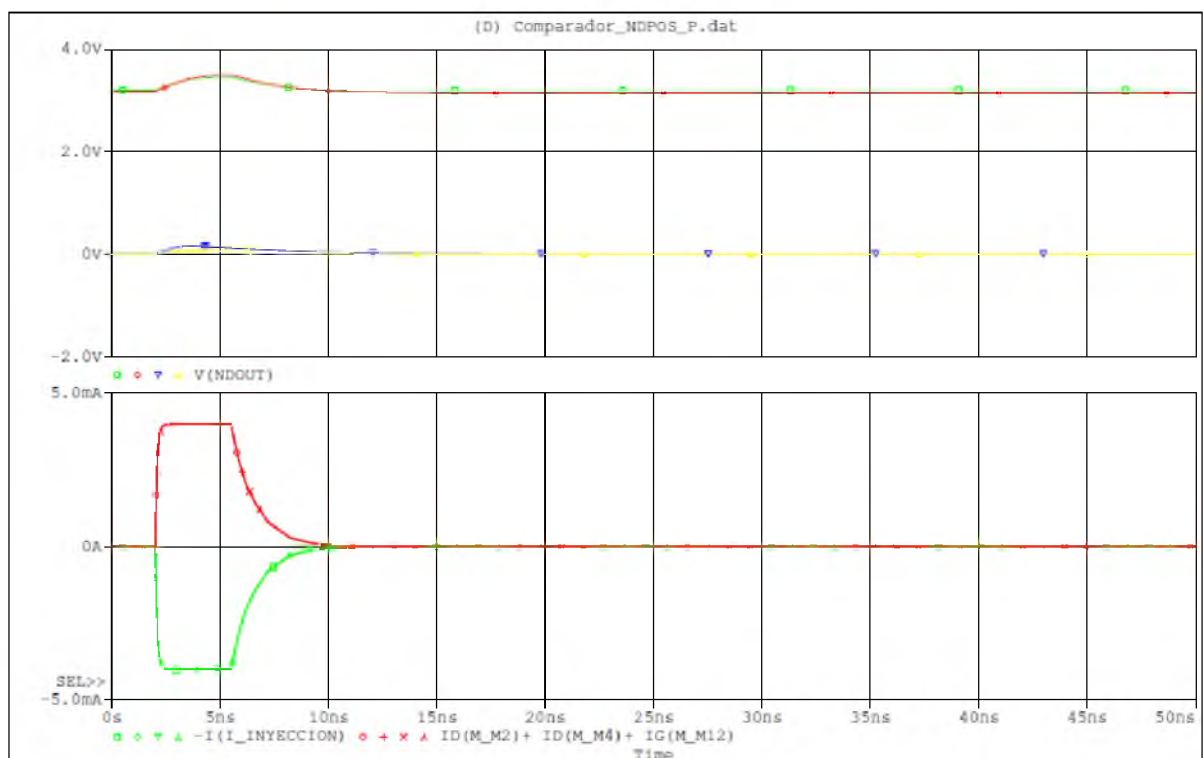
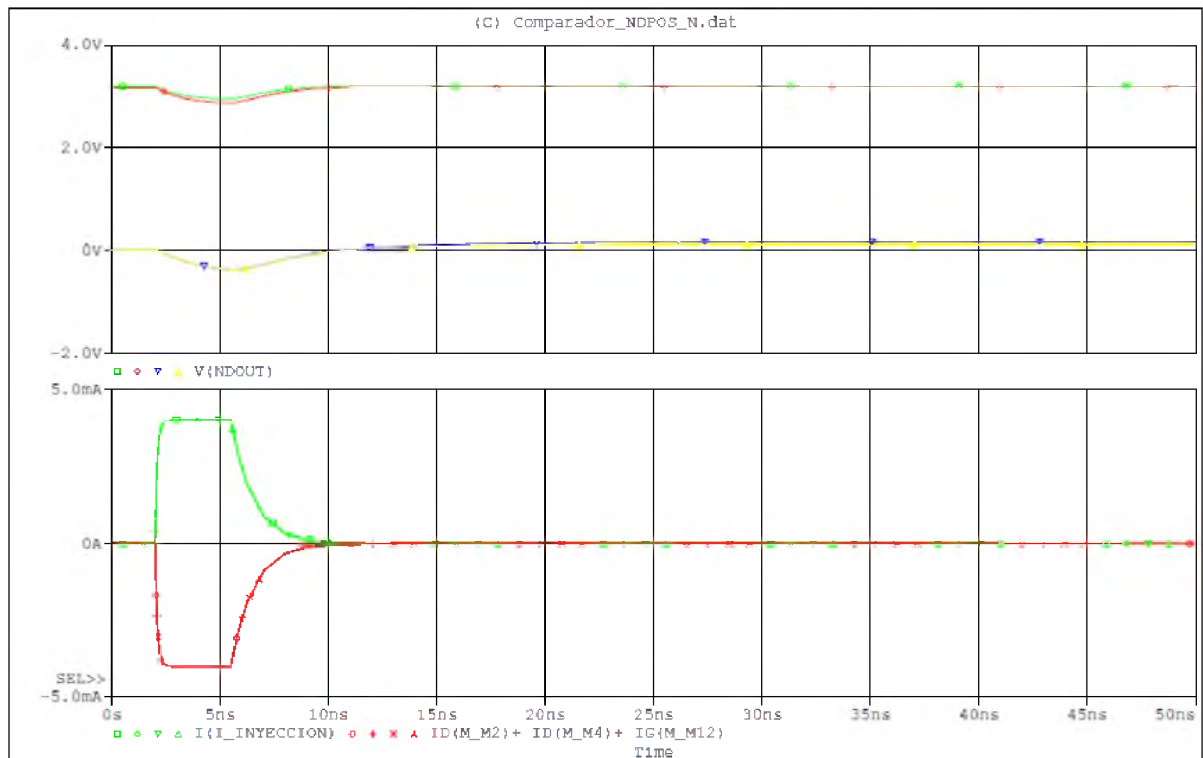


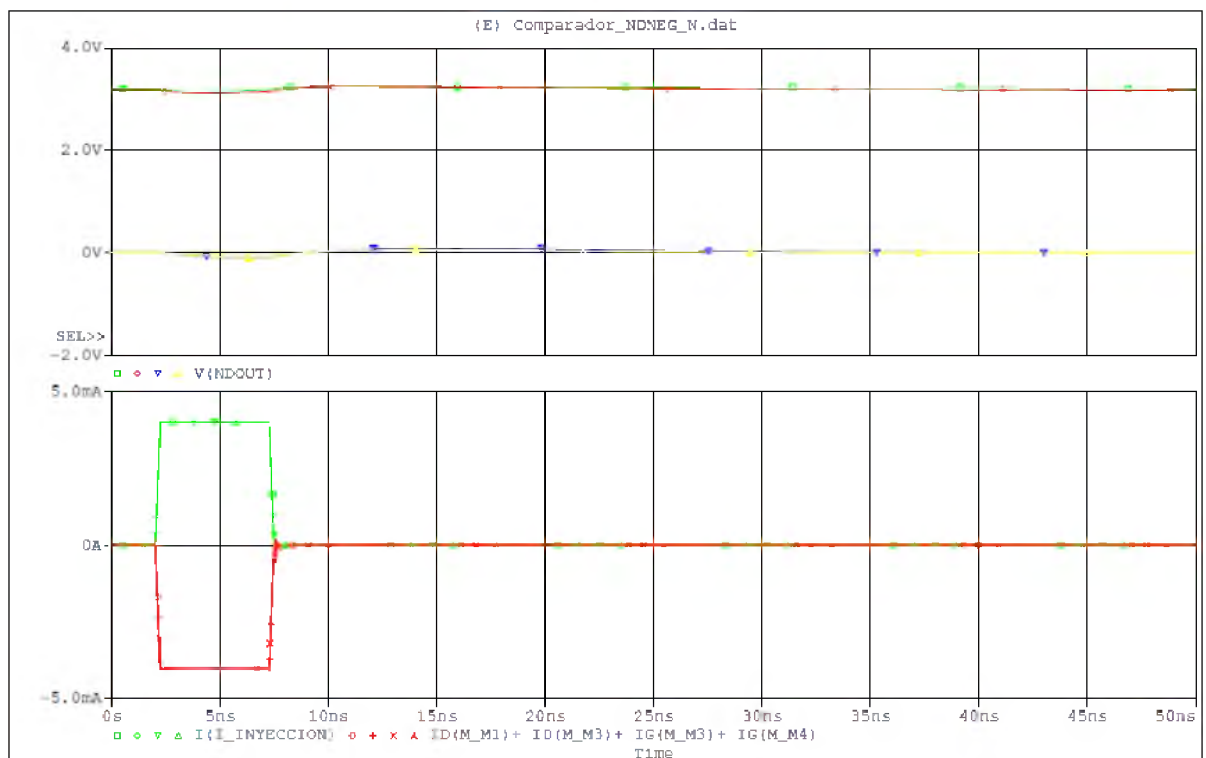
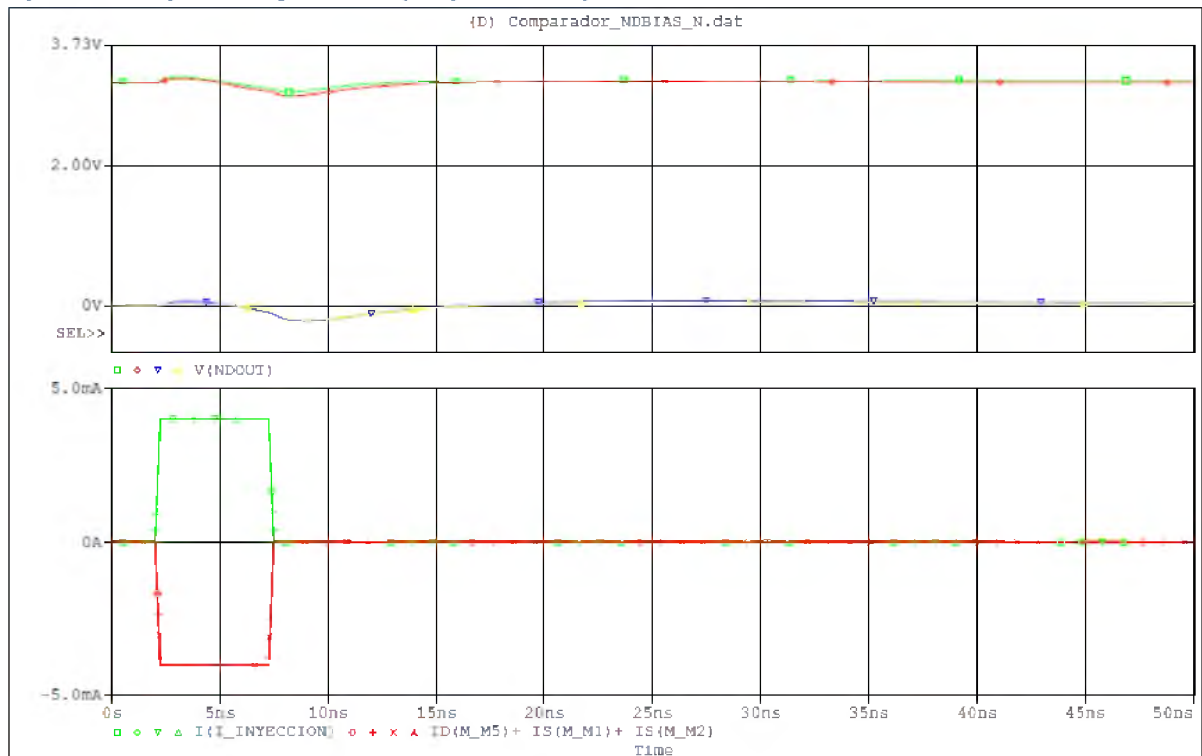
Inyección de falla exponencial ($V_{ref} = 1.615V$):

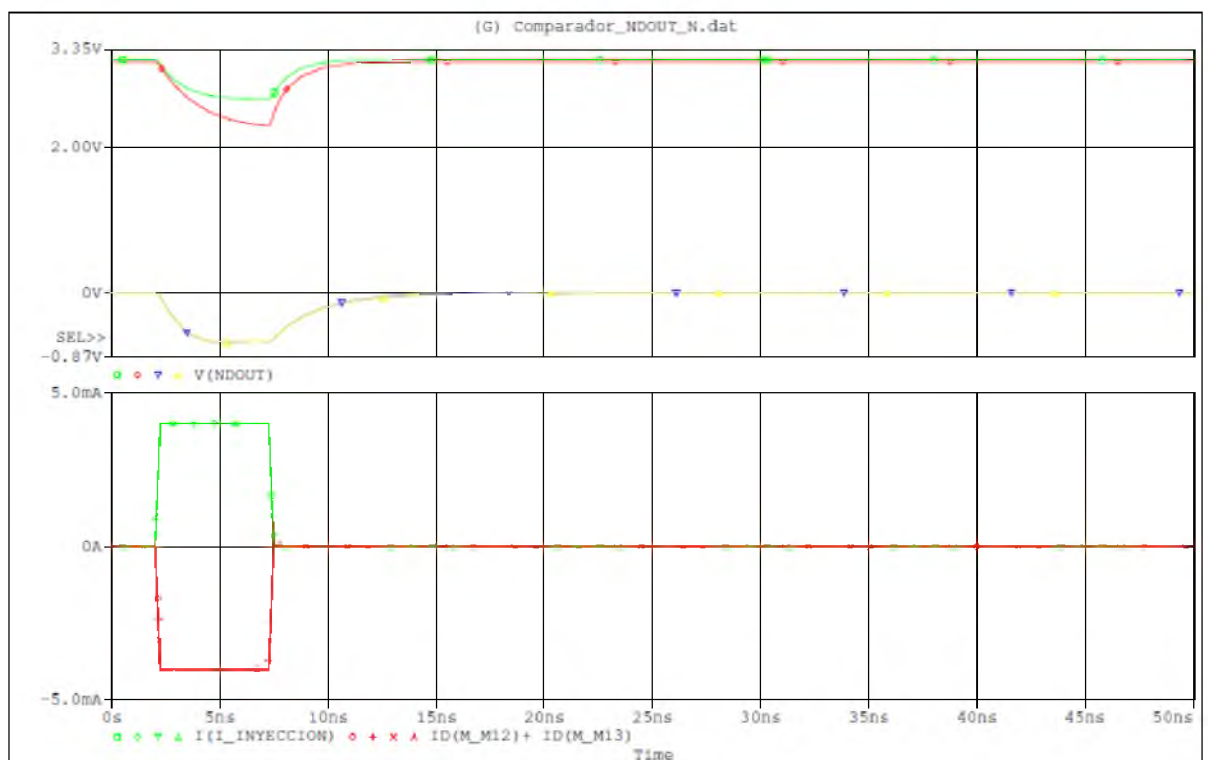
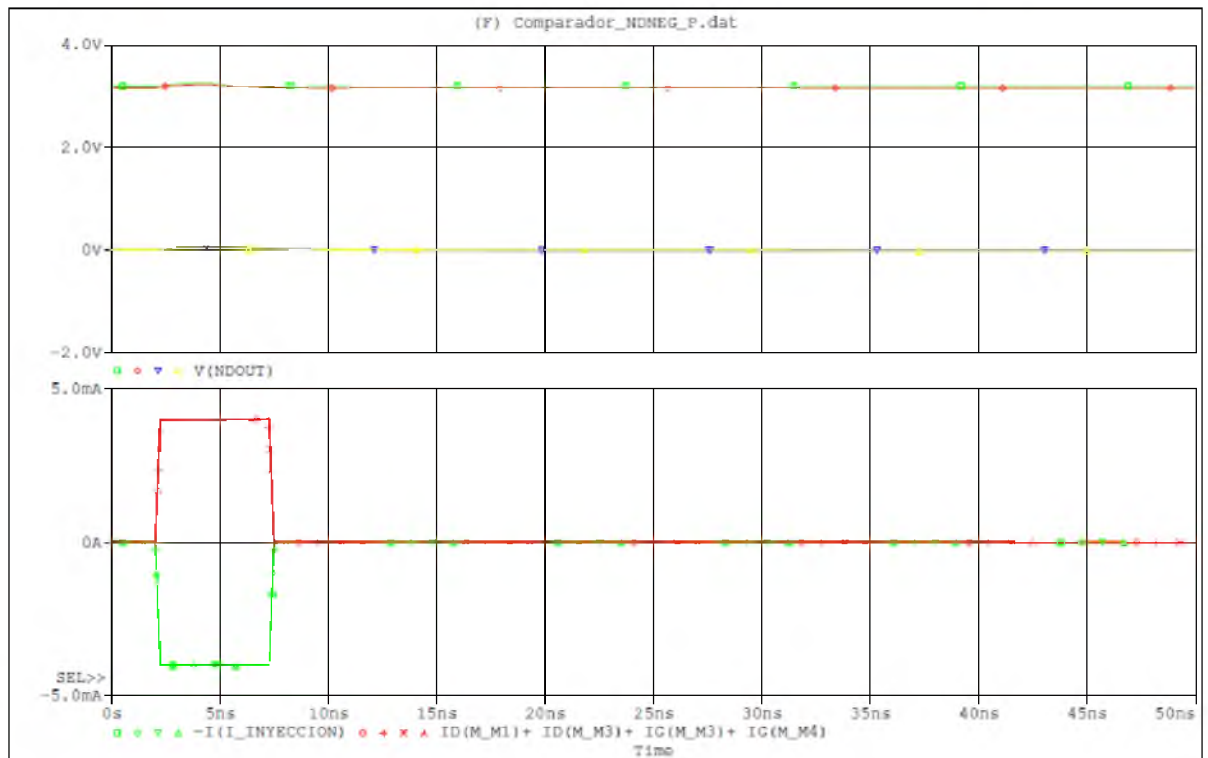


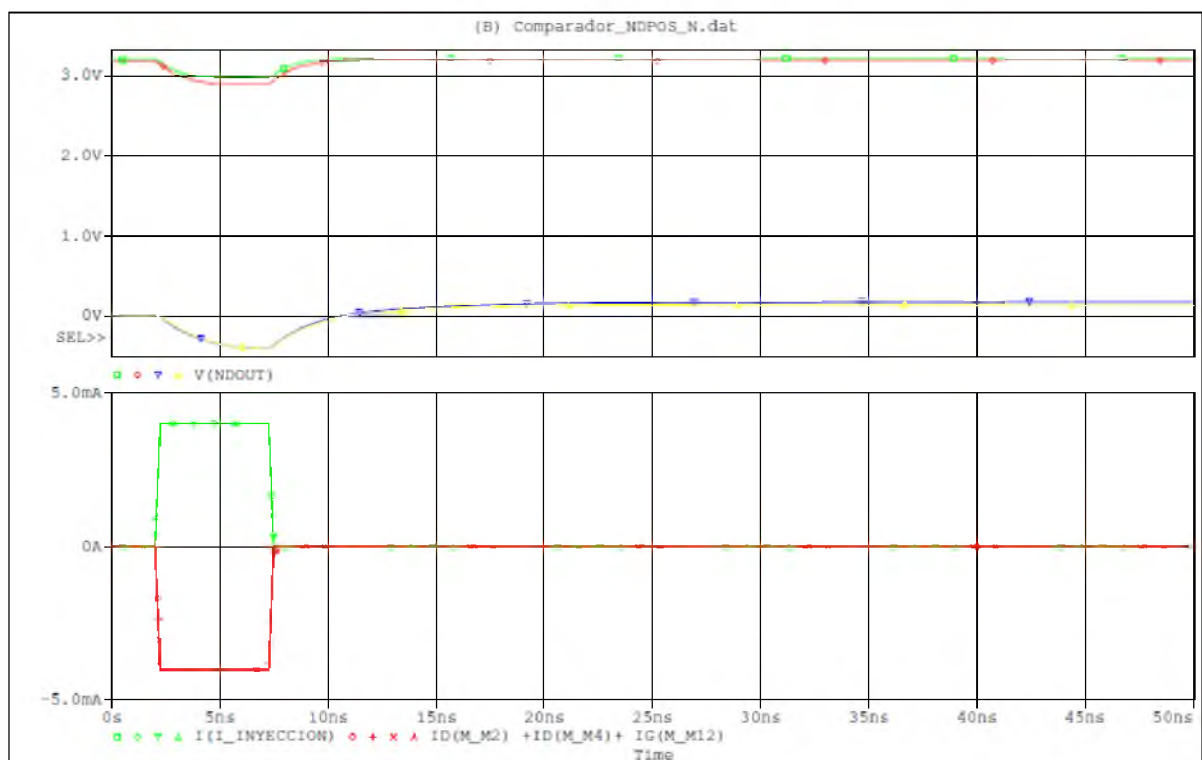
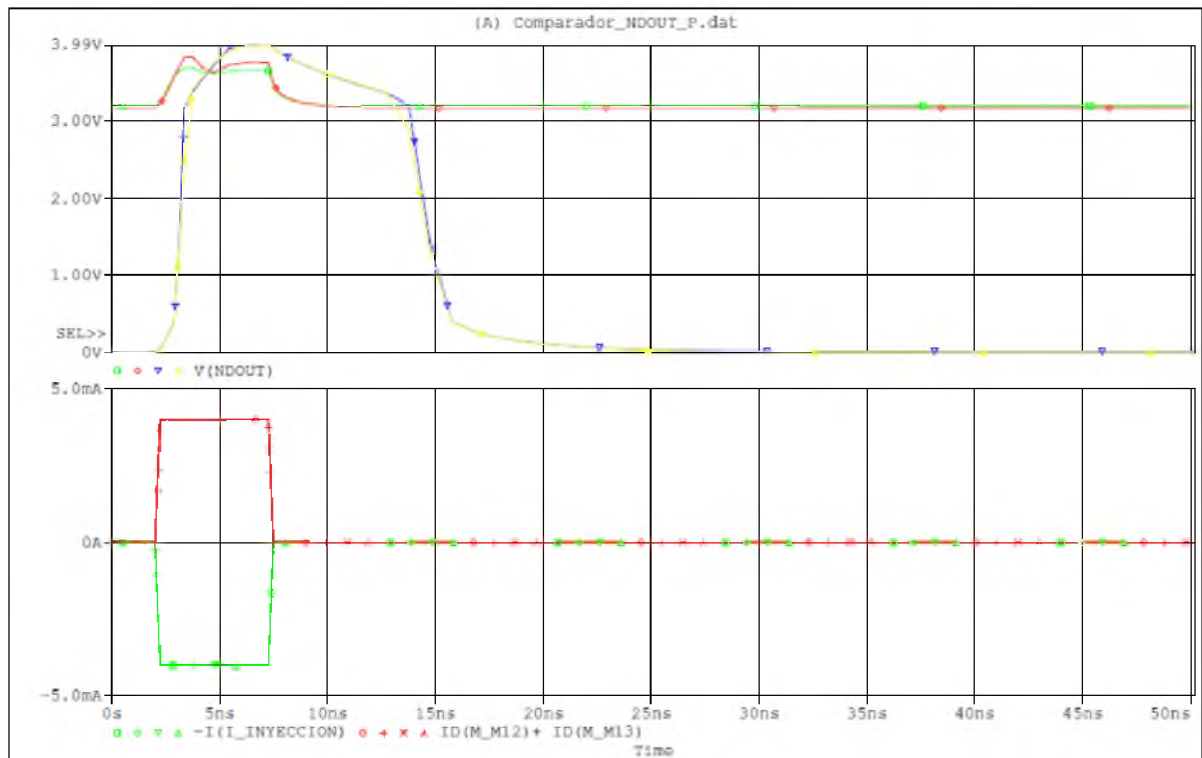


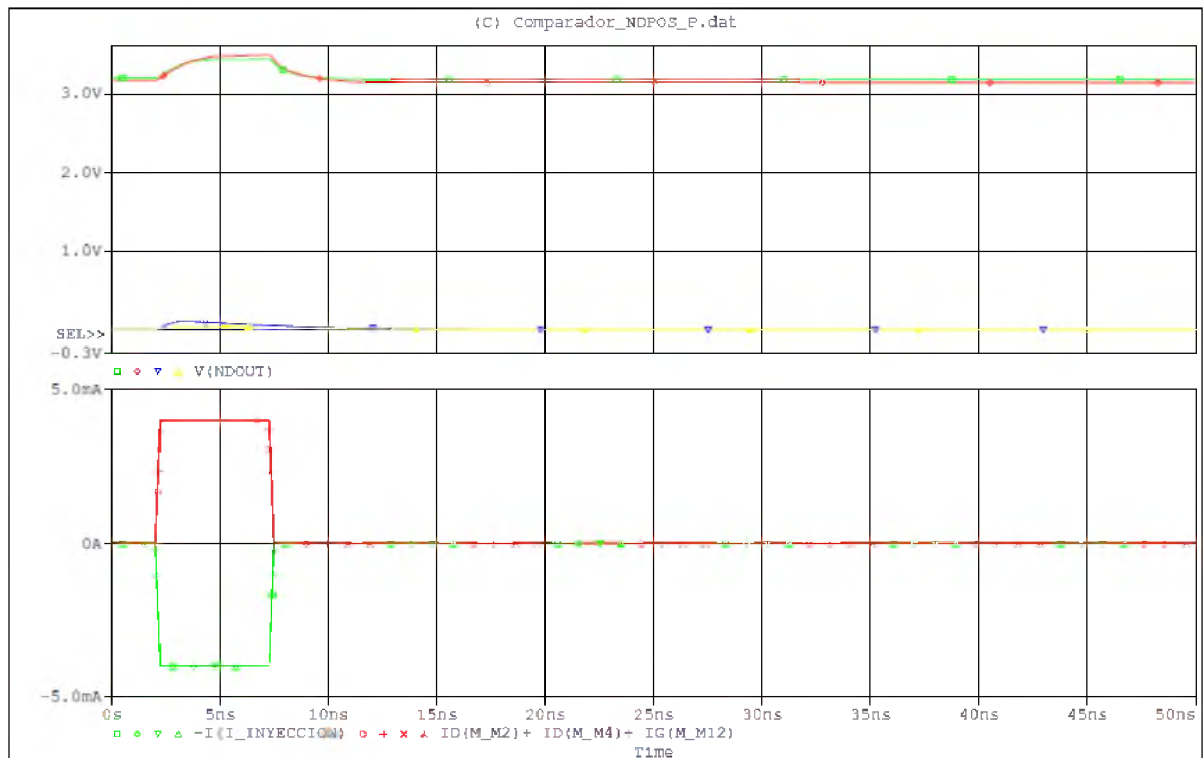




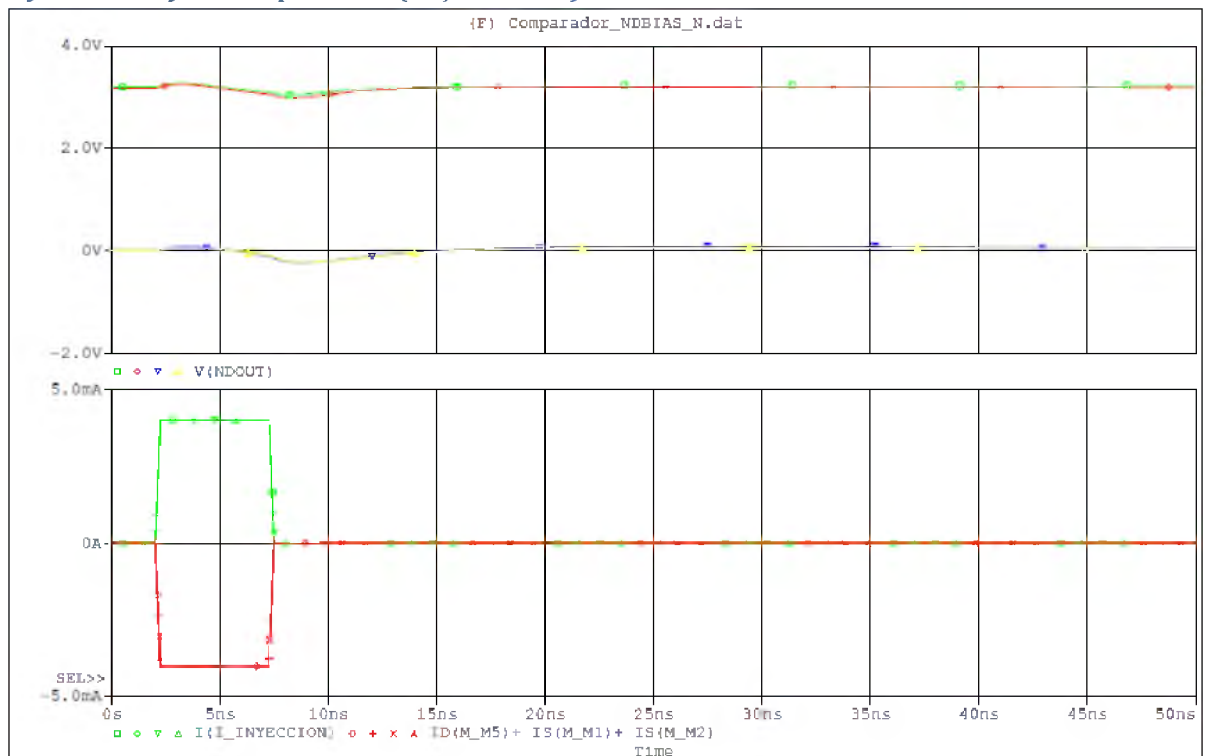
Inyección de falla trapezoidal ($V_{ref} = 1.005V$):

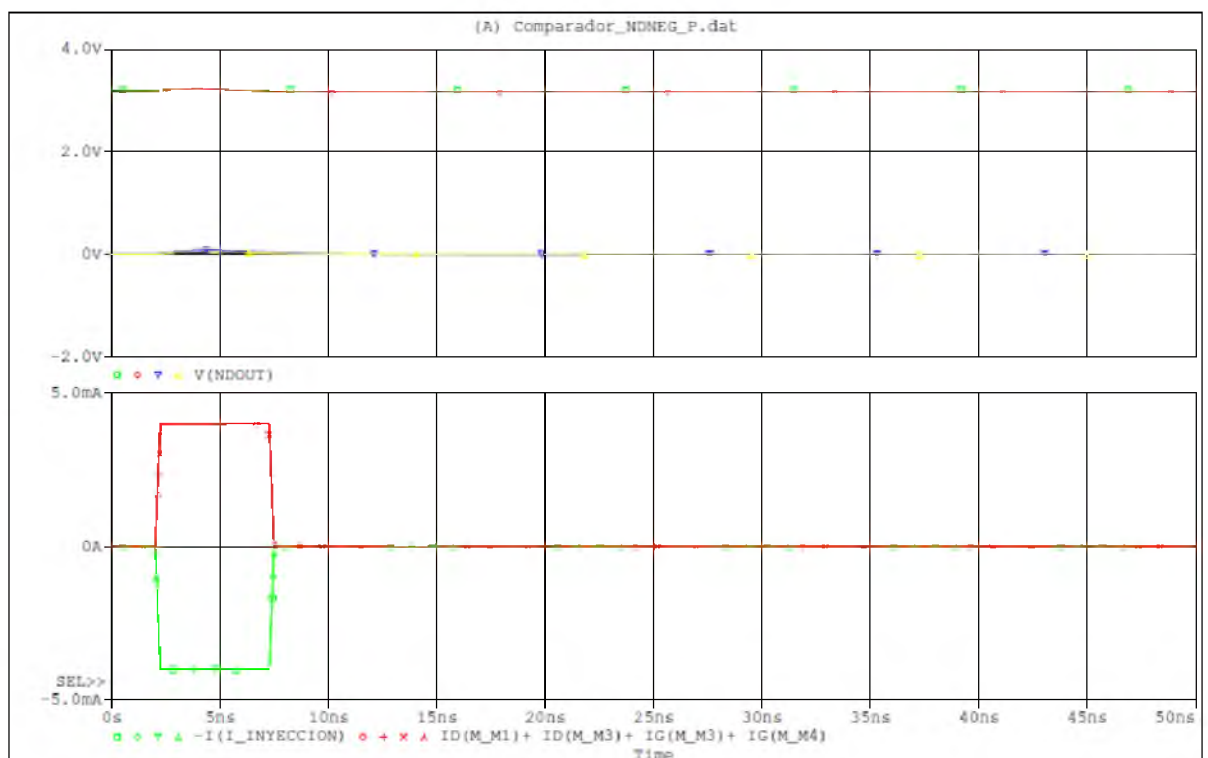
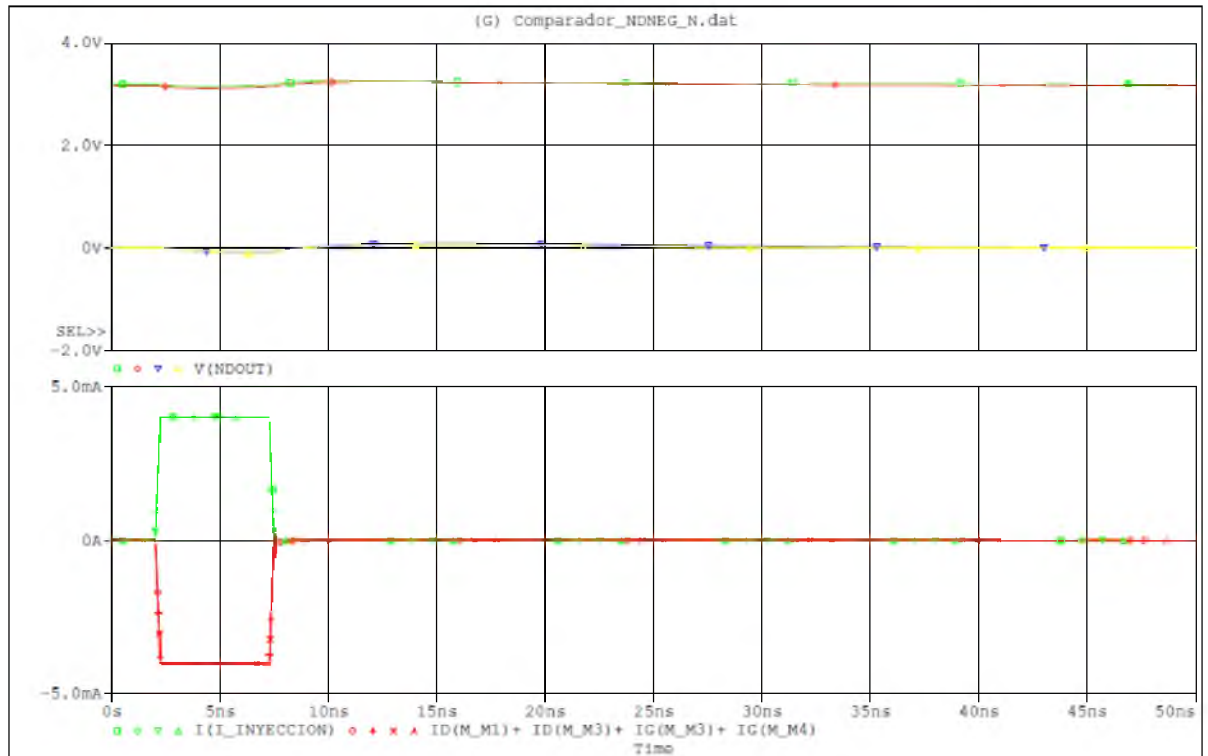


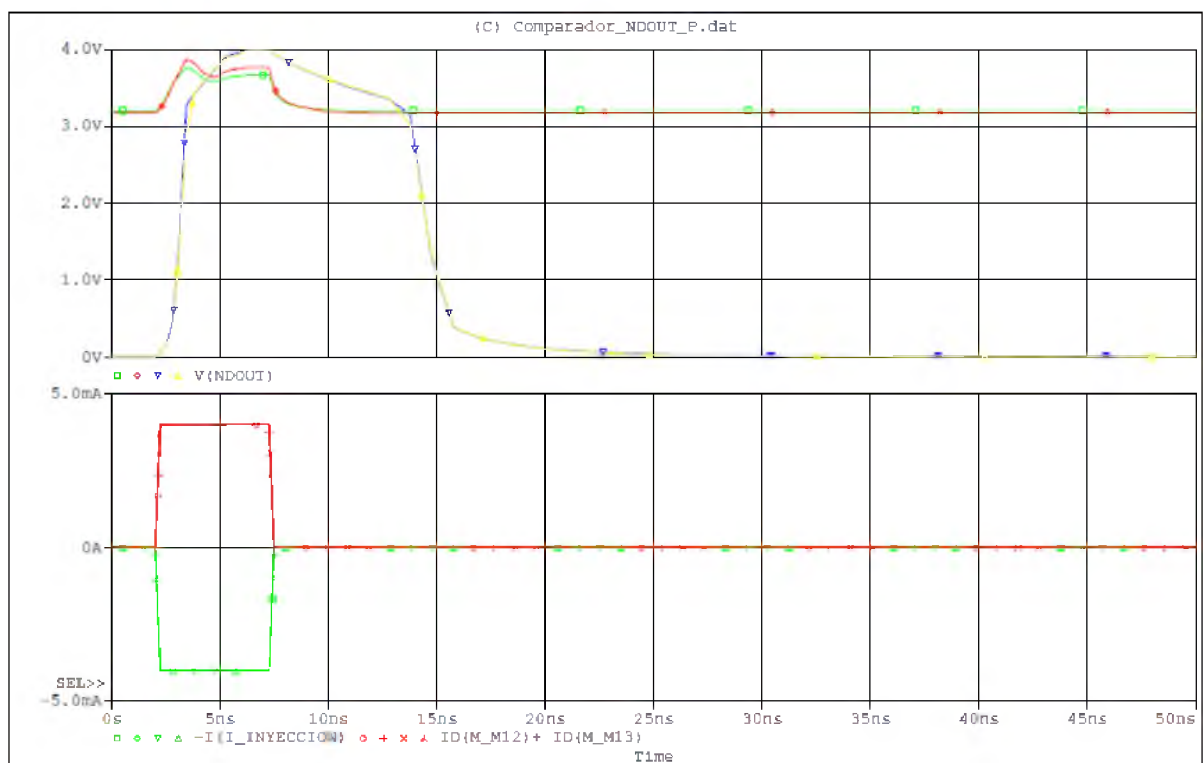
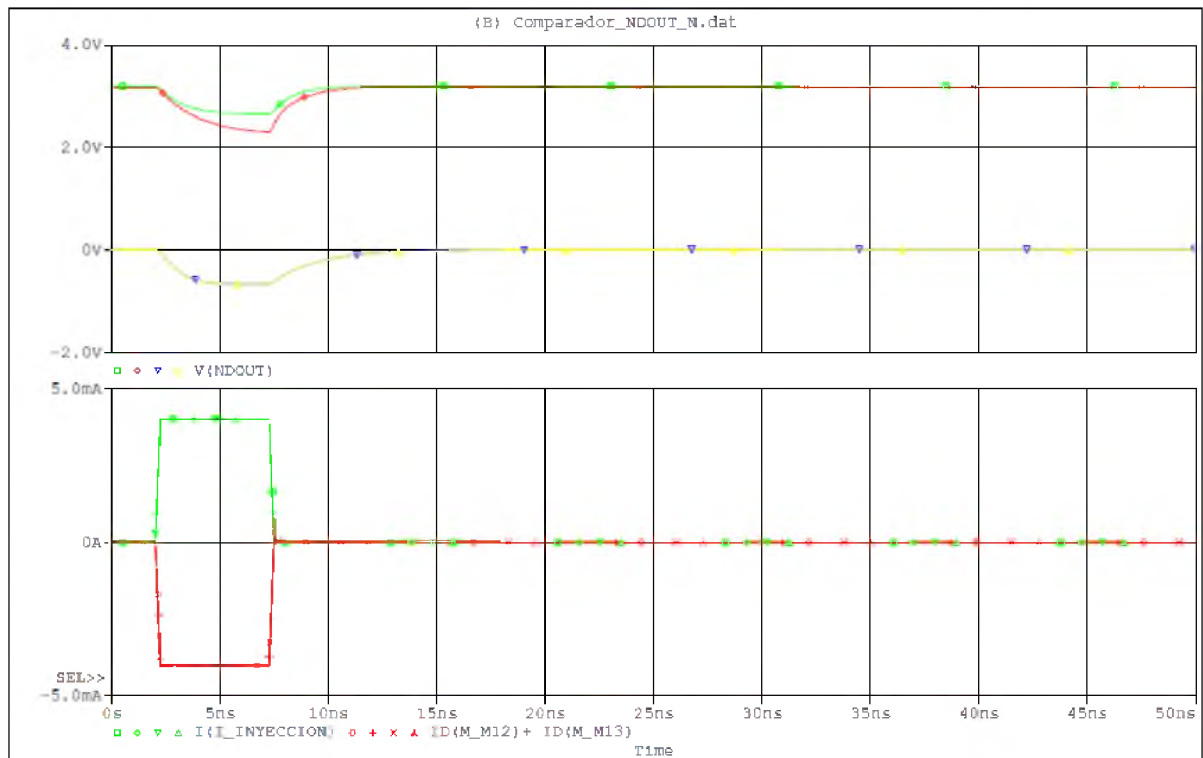


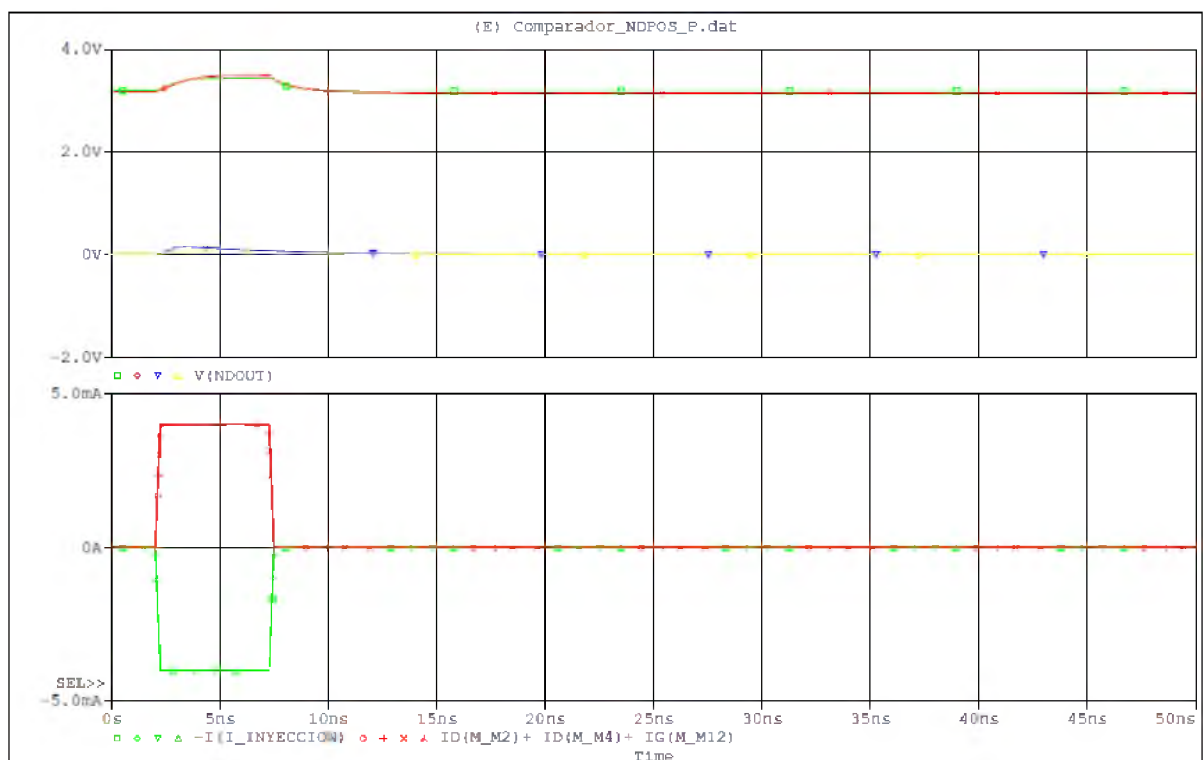
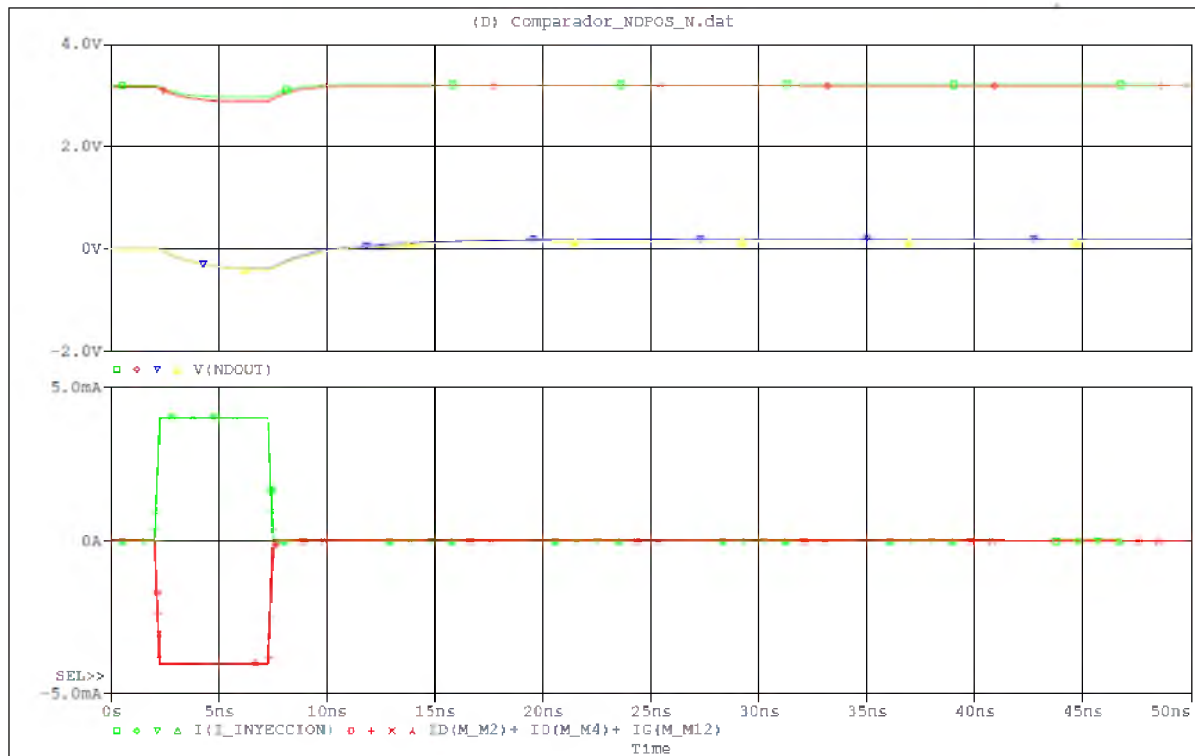


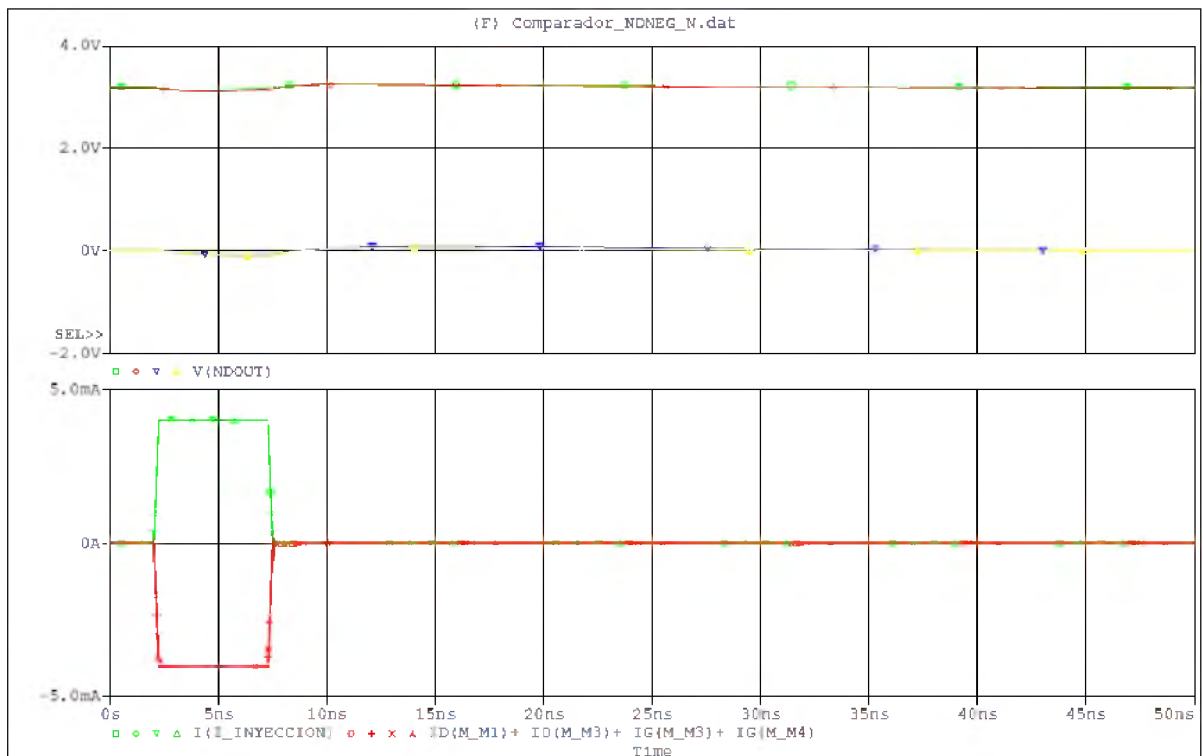
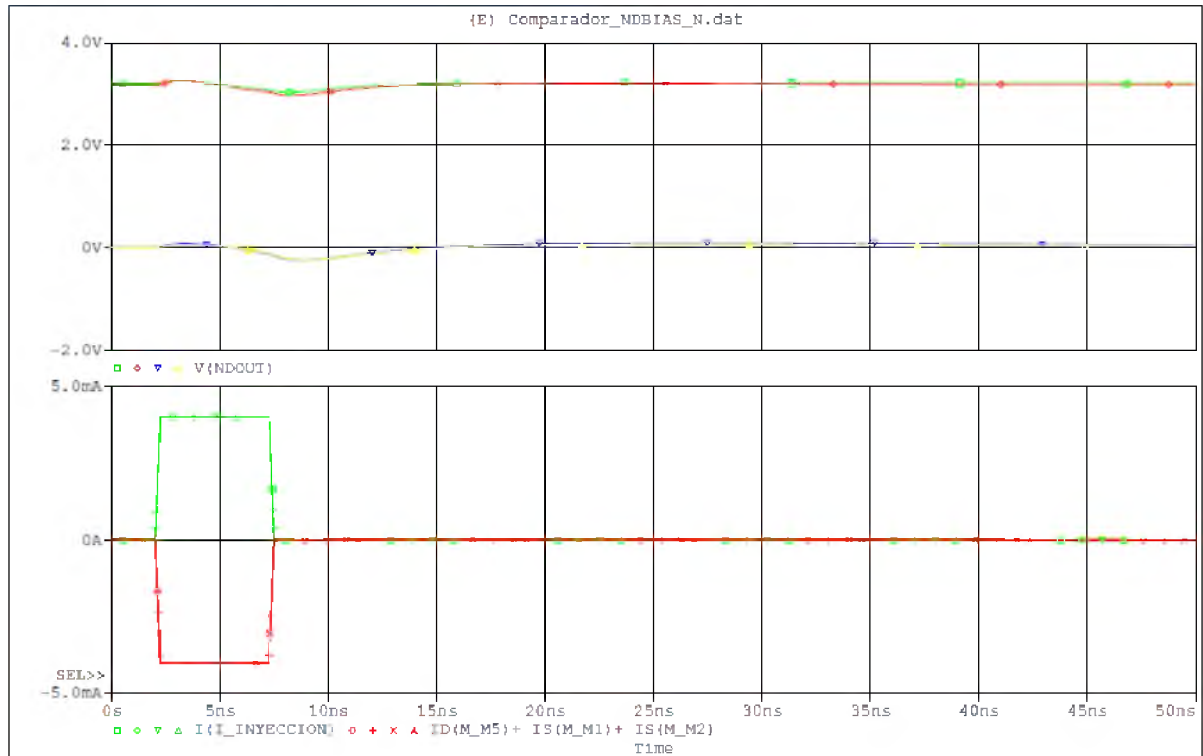
Inyección de falla trapezoidal ($V_{ref} = 1.315V$):

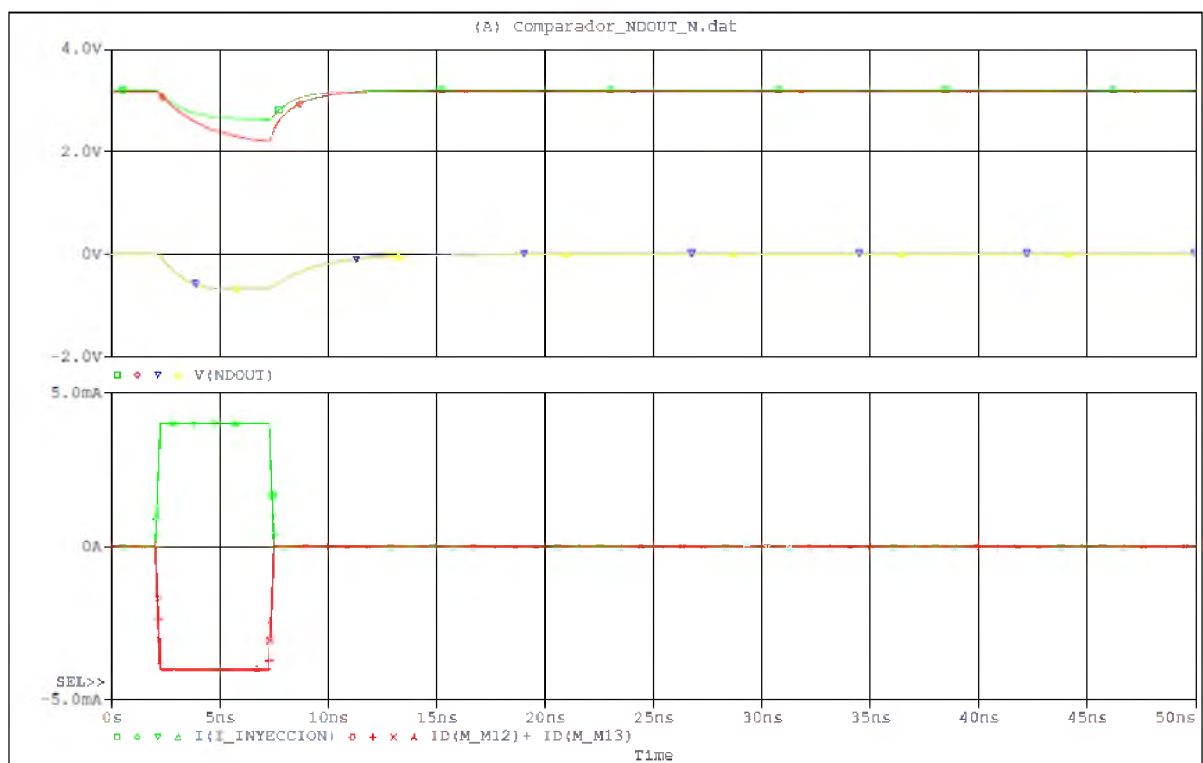
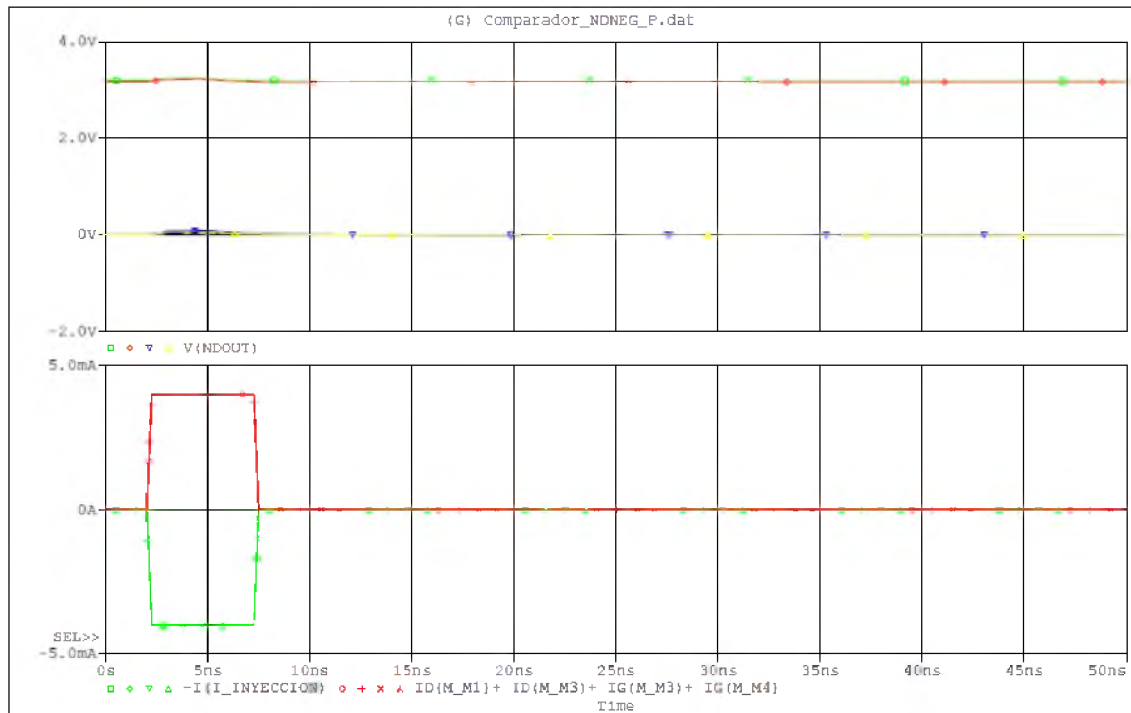


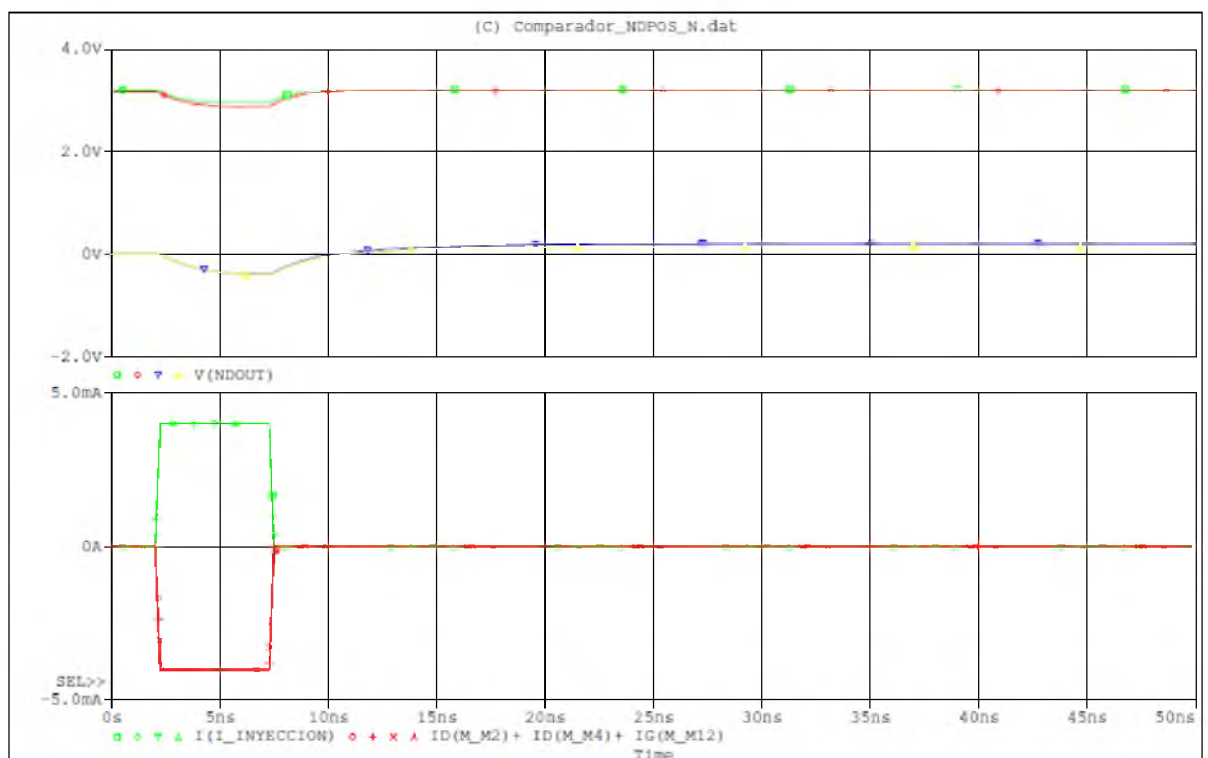
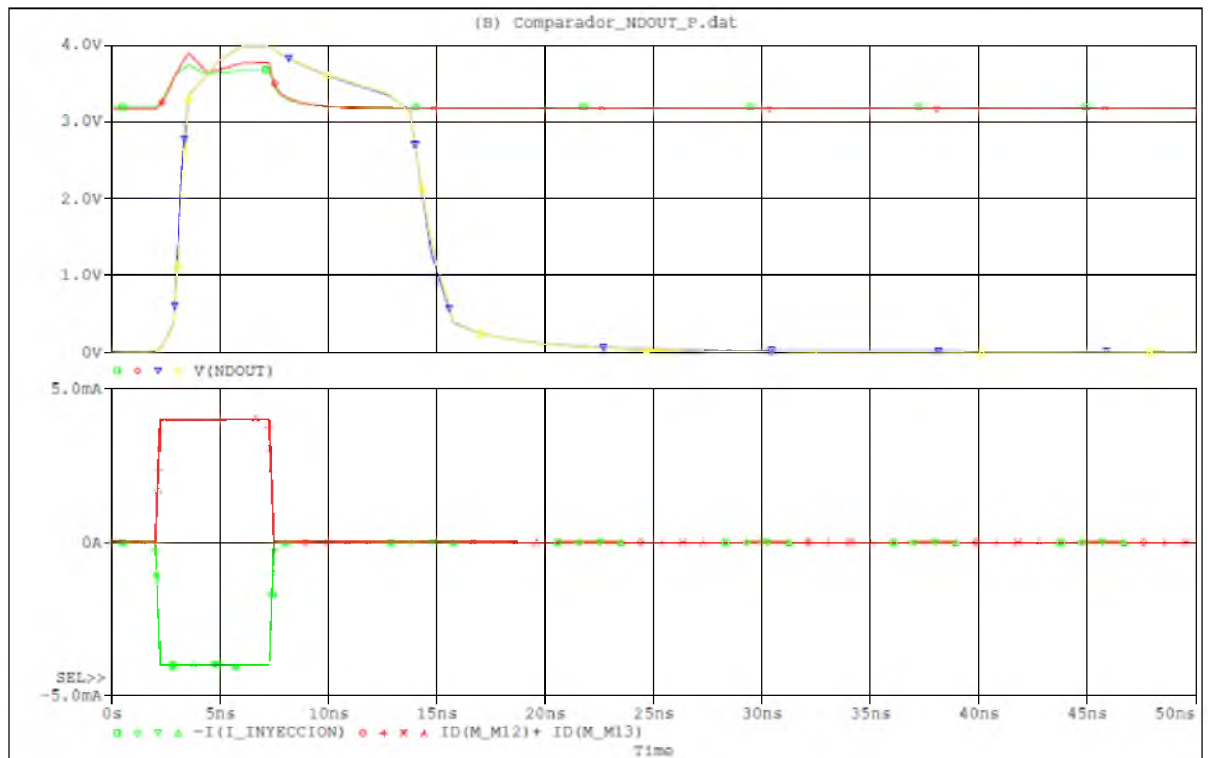


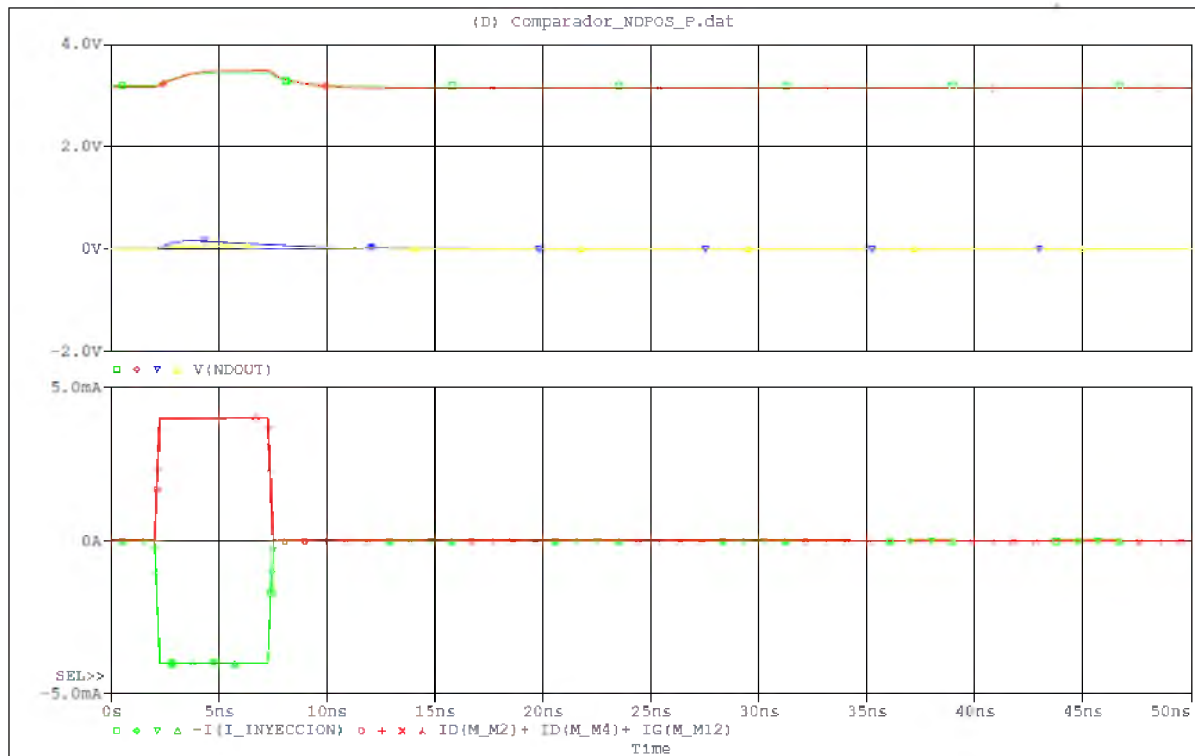




Inyección de falla trapezoidal ($V_{ref} = 1.615V$):







GRÁFICOS DE DISPERSIÓN

Campaña Automática

A continuación se encuentran las graficas de dispersión de errores de los demás bits de salida, producidos por la inyección de la falla tipo rampa en transistores PMOS. Si se observa detenidamente, se puede apreciar que para todos los bits de salida, los errores producidos tienen una duración aproximada de entre 8 y 10 nS. También es notable el aumento de tensión del error relacionado a la ponderación de los bits de salida. Esto es cierto siempre, para todos los bits exceptuando el menos significativo (LSB).

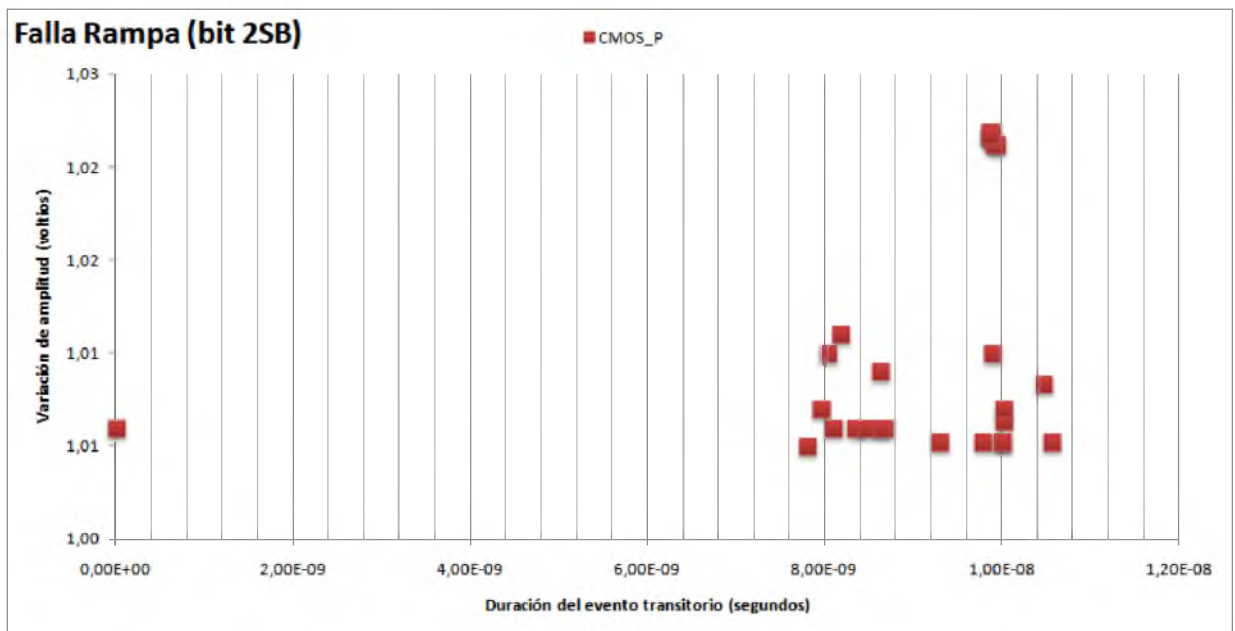


Figura 93) Gráficas de dispersión del bit 2SB de salida para la falla tipo rampa.

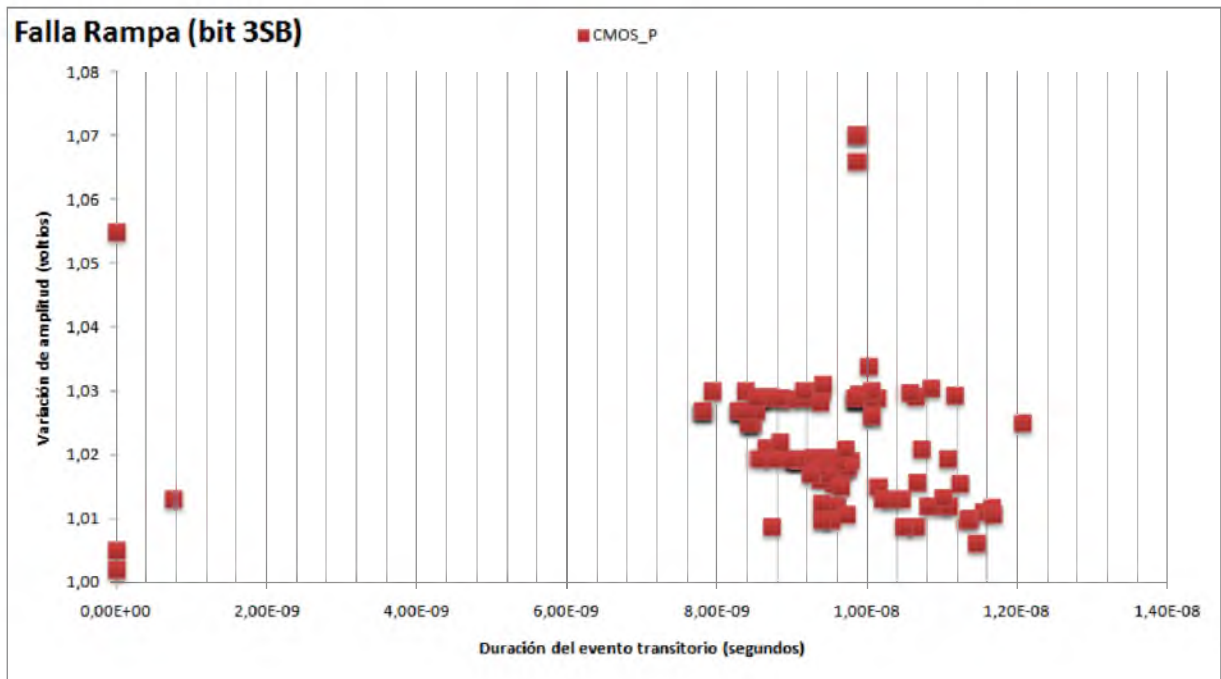


Figura 94) Gráficas de dispersión del bit 3SB de salida para la falla tipo rampa.

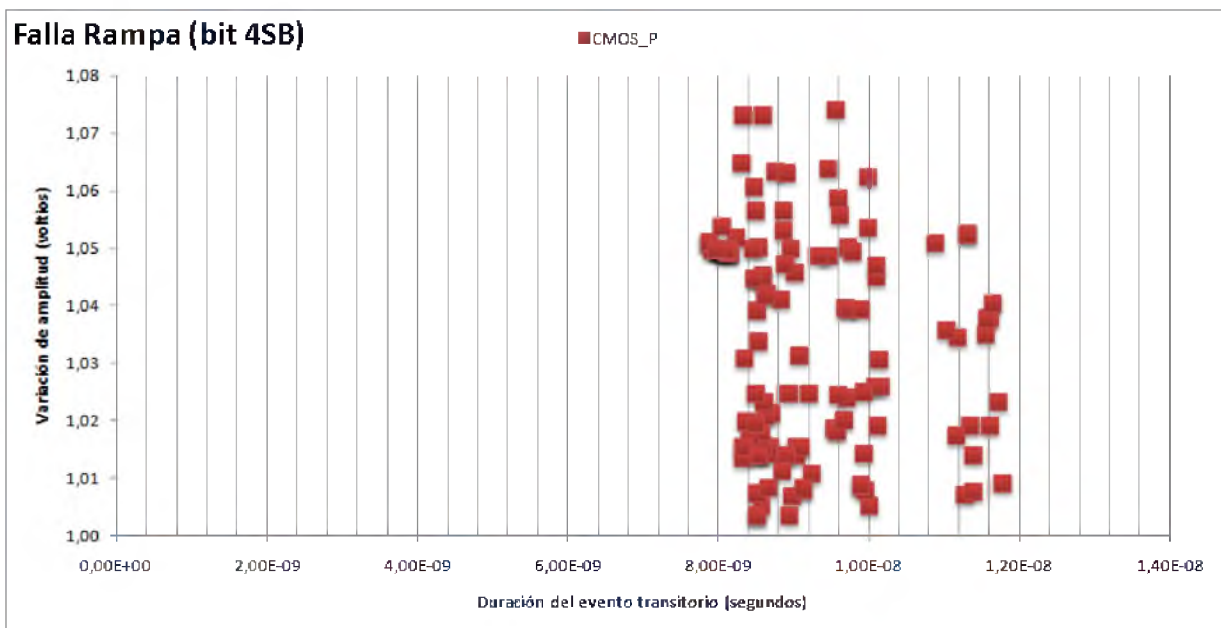


Figura 95) Gráficas de dispersión del bit 4SB de salida para la falla tipo rampa.

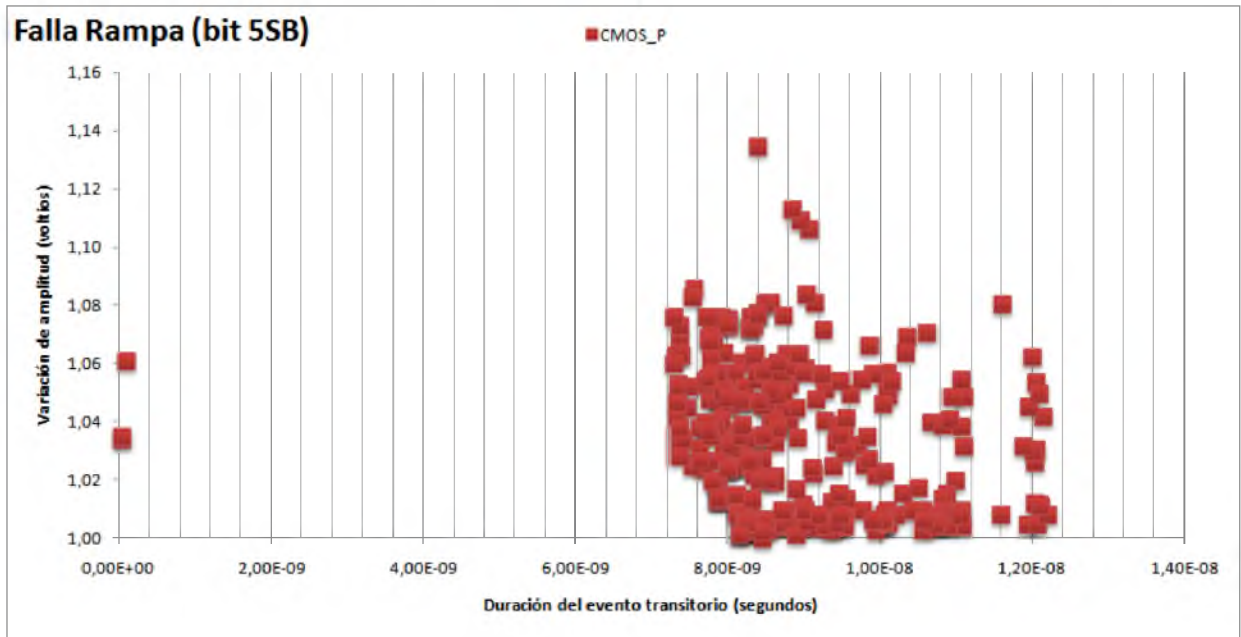


Figura 96) Gráficas de dispersión del bit 5SB de salida para la falla tipo rampa.

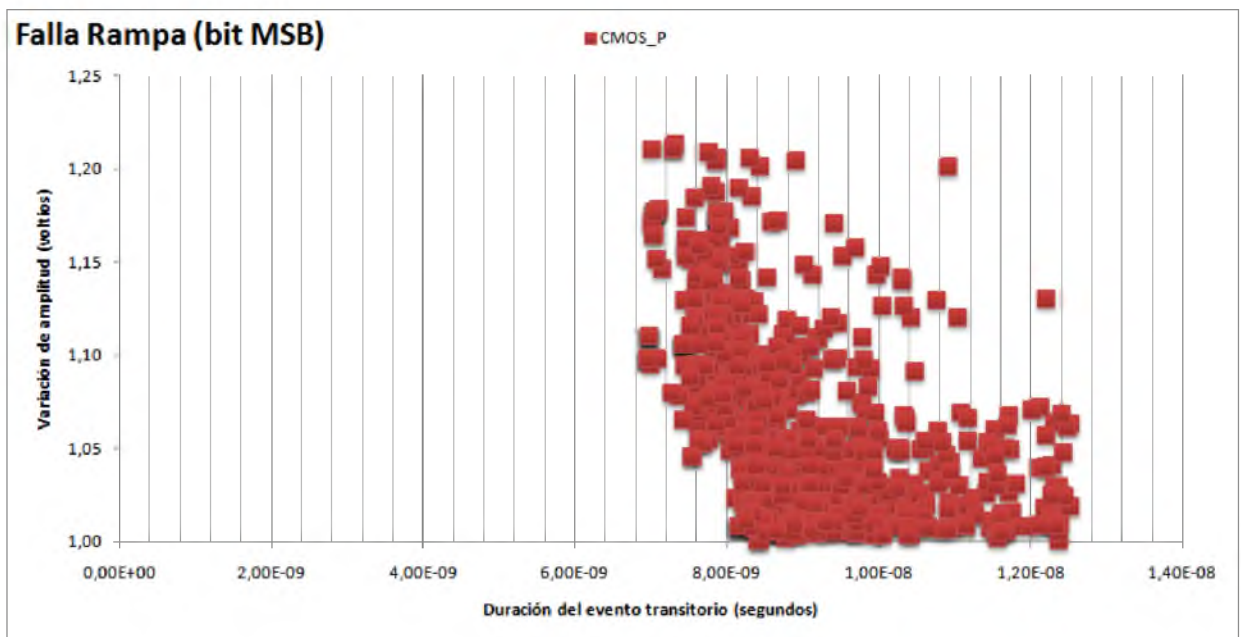


Figura 97) Gráficas de dispersión del bit MSB de salida para la falla tipo rampa.

También durante el análisis se observan puntos aislados en las graficas que no presentan duración alguna de evento, pero si variaciones de tensión. La gran mayoría de estos puntos son errores del simulador utilizados y requerirían un análisis detallado junto al simulador para determinar cuáles fueron sus orígenes.

BIBLIOGRAFÍA

Bibliografía

1. **Taber, Allen H. y Normand, Eugene.** *Investigation and Characterization of SEU Effects and Hardening Strategies in Avionics.* Department of Defense USA, Defense Nuclear Agency. Virginia : Defense Technical Information Center, 1995. pág. 100, Informe tecnico. 7540-280-5500.
2. *Single event upset at ground level.* **Normand, Eugene.** 6, Seattle : IEEE, December de 1996, IEEE Transactions on Nuclear Science, Vol. 43, págs. 2742-2750. Boeing Defense & Space Group. 0018-9499.
3. *Measurement and Reporting of Alpha Particle and Terrestrial Cosmic Ray-Induced Soft Errors in Semiconductor Devices.* **JEDEC Solid state technology association.** Arlington, Virginia : JEDEC Board of Directors and EIA General Counsel, 2006. JESD. pág. 84. 89A.
4. *Spacecraft System Failures and Anomalies Attributed to the Natural Space Environment.* **Bedingfield, Keith L. y Leach, Richard D.** [ed.] Margaret B. Alexander. 1390, Alabama : NASA Marshall Space Flight Center, Agosto de 1996, National Aeronautics and Space Administration, Vol. Vol. 1, pág. 54.
5. *Neutron-Induced Single Event Upsets In Static Rams Observed At 10 Km Flight Altitude.* **Olsen, J., y otros.** 2, Roskilde : Riso National Lab., Abril de 1993, IEEE Transactions on Nuclear Science, Vol. Vol. 40, págs. 74-77. 0018-9499.
6. *Single-event upset in geostationary transfer orbit during solar-activity maximum period measured by the Tsubasa satellite.* **H. Koshiishi, H. Matsumoto, T. Goka.** 1, Sengen : Japan Aerospace Exploration Agency, Noviembre de 2007, ELSEVIER, Vol. 2, págs. 205-505. 1.
7. **Baumann, Robert.** Handbook of semiconductor manufacturing technology. *Handbook of semiconductor manufacturing technology.* Segunda Edicion. s.l. : Group, Taylor & Francis, 2007, Cap. 31, págs. 1-23.
8. *Basic mechanisms and modeling of single-event upset in digital microelectronics.* **Dodd, P.E. y Massengill, L.W.** 3, Albuquerque : Sandia National Labs., Junio de 2003, IEEE Transactions on Nuclear Science, Vol. Vol. 50, págs. 583-602. 0018-9499.
9. **LaBel, Kenneth A.** SEECA Single Event Effect Criticality Analysis. *SEECA Single Event Effect Criticality Analysis.* [En línea] Sponsored by NASA Headquarters, 15 de Febrero de 1996. [Citado el: 16 de Junio de 2010.] <http://radhome.gsfc.nasa.gov/radhome/papers/seespec.htm>.
10. *Temperature and angular dependence of substrate response in SEGR [power MOSFET].* **Mouret, I., y otros.** 6, Arizona : Department of Electronic and Computing Engineer, Arizona University, Diciembre de 1994, IEEE Transactions on Nuclear Science, Vol. Vol. 41, págs. 2216-2221. 0018-9499.
11. *Temperature dependence of single-event burnout in n-channel power MOSFETs [for space application].* **Johnson, G.H., y otros.** 6, Arizona : Department of Electronic and Computing Engineer, Arizona University, Diciembre de 1992, IEEE Transactions on Nuclear Science, Vol. Vol. 39, págs. 1605-1612. 0018-9499.

12. **Holbert, Keith E.** Personal site of Keith E. Holbert. *Keith E. Holbert*. [En línea] 16 de Enero de 2006. [Citado el: 16 de Junio de 2010.] School of Electrical, Computer and Energy Engineering. <http://holbert.faculty.asu.edu/eee560/see.html>.
13. *Collection of Charge on Junction Nodes from Ion Tracks*. **Messenger, G. C.** 6, California : Rockwell International Autonetics Strategic Systems Division Defense Electronics Operations, Diciembre de 1982, IEEE Transactions on Nuclear Science, Vol. Vol. 29, págs. 2024-2031. 0018-9499.
14. *Parameter-free, predictive modeling of single event upsets due to protons, neutrons, and pions in terrestrial cosmic rays*. **Srinivasan, G.R., Tang, H.K. y Murley, P.C.** 6, Tucson : Semiconductor Research and Development Center, IBM Corporation, Diciembre de 1994, IEEE Transactions on Nuclear Science, Vol. 41, págs. 2063-2070. 0018-9499.
15. **Butt, Nauman Z. y Alam, Muhammad.** *Modeling Single Event Upsets in Floating Gate Memory Cells*. School of Electrical and Computer Engineering, Purdue University. West Lafayette : Purdue University, 1998. pág. 9, Paper.
16. *SEMM-2: a modeling system for single event upset analysis*. **Tang, Henry H. K. y Cannon, Ethan H.** 6, Yorktown Heights : IBM T. J. Watson Res. Center, 20 de Diciembre de 2004, IEEE Transactions on Nuclear Science, Vol. 51, págs. 3342-3348. IEEE Nuclear and Plasma Sciences Society. 0018-9499 .
17. **The MOSIS Service.** MOSIS Integrated Circuit Fabrication Service. *MOSIS Integrated Circuit Fabrication Service*. [En línea] [Citado el: 2 de Septiembre de 2009.] <http://www.mosis.com/>.
18. **Allen, Philip E. y Holberg, Douglas R.** *CMOS Analog Circuit Design*. [ed.] Adel S. Sedra. New York : Oxford University Press, 2002. pág. 783. ISBN:0195116445.
19. **Schilling, Donald L., y otros.** *CIRCUITOS ELECTRONICOS: Discretos e integrados*. [ed.] Juan Stumpf y Francisco Sandoval. [trad.] Miguel Angel Garcia Perez, Fernando Nuño Garcia y Juan Diaz Gonzalez. Tercera edición. Madrid : McGrawHill, 1993. pág. 962. ISBN: 0070553483.
20. **Messenger, George C. y Ash., Milton S.** *The effects of radiation on electronic systems*. Segunda Edición. s.l. : Chapman and Hall, 1992. pág. 951. ISBN10: 0442239521 (ISBN13: 9780442239527).